

---

---

# 半導体デバイスの静電気保護

## Electrostatic Protection for Semiconductor Devices

福田 保裕  
Yasuhiro FUKUDA

---

---

### 概要

半導体デバイスの急速な高速化、低消費電力化への開発において採用されてきた先端デバイス構造は静電気に非常に脆弱な構造である。デバイスに組み込む静電気保護回路設計手法もこれらに対応して新たな設計手法が創出、展開されだしているので、ここで紹介する。

説明し、今後の問題をまとめる。

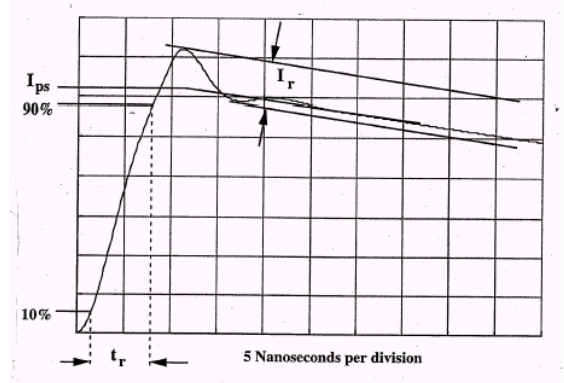
## 1. はじめに

半導体デバイスは、静電気放電(ESD: Electro-Static-Discharge)によって損傷及び誤動作発生などの影響をうける。また、半導体デバイスの集積度向上を実現させてきた微細加工の発展は、デバイス側の ESD 保護回路の設置あるいは組立ラインの静電気対策の展開、強化にもかかわらず、半導体デバイスの各種 ESD 耐性を低下させ、ESD 障害発生を完全に防止できない状況を今日まで引きずっている。つまり半導体、電子機器業界においては、何年おきに大きな ESD 障害を発生させる古くて新しい問題として存在しているわけである。近年、携帯電話開発などに代表されるように機器の高速化、低消費電力化、高信頼性化要求に対応するため、次々と新規なデバイス構造を採用し、製品開発がなされている。しかし、これら新規構造は ESD に対し脆弱であることが確認され、ESD 保護回路設計手法が大きく変化している。ここでは半導体デバイスの ESD 損傷モデル、先端デバイスの HBM 耐性、新規 ESD 保護回路設計手法の検討などを

## 2. 半導体デバイス ESD 損傷モデル

半導体デバイスへ損傷を与える ESD モデルは、大きく 3 つに分類される。(表 1 参照) ①外部の静電気帯電(導体)物体からデバイス端子への ESD によりデバイスが損傷、②デバイスが静電気帯電あるいは帯電物体にて電位誘導し、デバイス端子から外部導体へ ESD、デバイスが損傷、③デバイス周囲の急激な電場変化により損傷するモデルである。さらに詳しく分類、命名されている。例えば、②のデバイス帯電モデル(CDM: Charged Device Model)において、デバイス電位を上昇させる静電気帯電が、パッケージ樹脂表面の摩擦静電気であればパッケージ帯電モデル(CPM: Charged Package Model)<sup>(\*)1</sup>、ベアチップに対する静電気誘導であればチップ帯電モデル(CCM: Charged Chip Model)<sup>(\*)2</sup>と言う具合である。図 1 は、HBM 概要及び等価回路図を示し、人体等価容量としての 100pF の容量に蓄えられた電荷を、1.5kΩ の放電抵抗を介してデバイス端子へ放出することで適切な再現実験が出来るとされている。

図2は IEC/JEITA/ JEDEC 等公的規格<sup>(\*)3)</sup>における HBM 試験、短絡負荷条件の規定放電電流波形を示したものである。重要なことは、放電経路にて構成される L(インダクタンス)によって放電電流の立上り時間  $t_r$  を、2~10nsec と遅くおさえられていることである。一方、図3に示されるパッケージ帯電モデルのようなデバイス帯電・誘導による ESD 現象は、写真1に示される放電電流波形のように、立上り時間  $t_r$  が 200psec 未満と非常に速いサージ電流がデバイス端子に流れ込んでくる現象である。



立上り時間( $t_r$ ) = 2~10nsec

図2 短絡負荷 HBM 試験放電電流波形

デバイスに直接、間接に帯電した静電気の放電現象は、非常に小さな放電経路しか構成されず、結果として、L(インダクタンス)が非常に小さく、放電電流の立上り時間  $t_r$  も非常に速い現象となるわけである。半導体デバイスの取扱い、モジュール組立工程等において、静電気管理対象の代表的 ESD 損傷である HBM、CDM のデバイス内部保護について述べる。

- 外部静電気帯電物体からの ESD 損傷
- 人体帯電モデル
- マシンモデル
- デバイス帯電・誘導による ESD 損傷
- デバイス帯電モデル
- 電場誘導デバイス帯電モデル
- パッケージ帯電モデル
- ボード帯電モデル
- チップ帯電モデル
- 帯電体誘導モデル
- 周囲の電場変化による ESD 損傷
- 電場誘導モデル

表1 半導体デバイスの ESD 損傷モデル

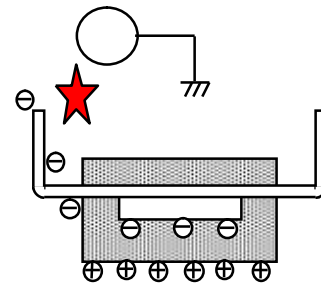


図3 パッケージ帯電モデル：CPM

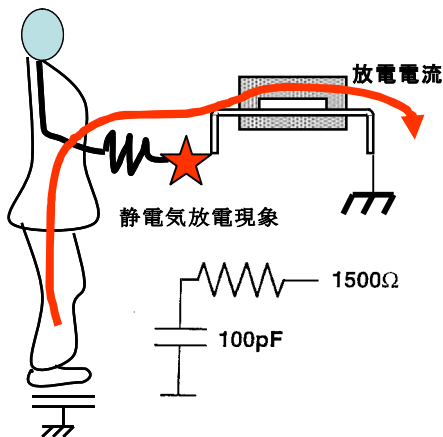


図1 人体帯電モデル：HBM と等価回路

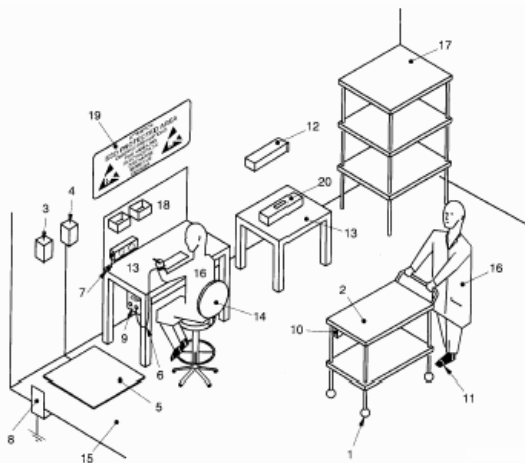


立上り時間( $t_r$ ) < 200psec

写真1 短絡負荷 CPM 試験放電電流波形

### 3. HBM 保護回路

従来より半導体デバイス組立工程における静電気管理の中心的対象となってきたのは HBM による ESD 損傷である。例えば、IEC 61340 シリーズ規格<sup>(\*)</sup>において ESDS(静電気感性デバイス)を取り扱う EPA(静電気保護区域)の中では、静電気管理手法としてリストストラップ、導電靴等人体接地が規定されている。逆に言えば、デバイスの HBM 耐性は、工程において管理されている静電気帯電値よりマージンを持った耐性値になるように設計されていなければならない。そこで、従来よ



1:接地可能車輪 2:接地可能表面 3:リストストラップ 検査器 4:履物検査器 5:履物検査台 6:リストバンド 及び靴 7:EPA グラントコード 8:EPA グラント 9:アース接続点(EBP) 10:ローリ-接地可能点 11:ESD 保護履物 12:リストバンド 13:作業表面 14:接地可能脚とパッド付椅子 15:床 16:衣服 17:接地表面棚 18:接地可能棚 19:EPA 標識 20:機器

図 4 半導体デバイス取り扱い工程 EPA(静電気放電保護区域)

り HBM 耐性を確保するための保護回路設計が半導体デバイスに挿入されて来た。HBMは、図2に示されるように、放電電流の立上り時間  $t_r$  が比較的遅いため、端子と内部回路との間にダイオードや GG(Gate-Grounded)NMOS 等オフトランジスタを保護素子、保護回路として挿入すれば、これらの素子のブレイクダウン、スナップバック動作を利用して、流入

した HBM サージ電流を内部回路に挿入させずに保護できた。(図5参照) 破壊現象としては、保護抵抗、保護トランジスタ、出力トランジスタ等の溶断、接合破壊となる場合が多く、破壊箇所によって平均破壊電力と放電時定数との関係が異なり、断熱破壊、熱拡散型破壊、熱平衡破壊に分類され、各素子のこれらの関係を用いて最適保護設計していた。

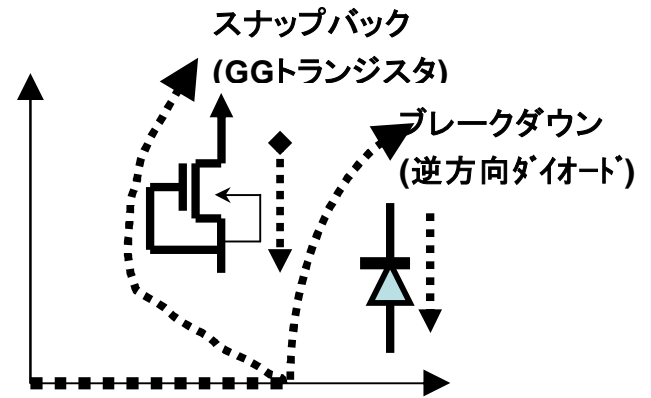


図5 ESD 保護トランジスタ動作

### 4. CDM/CPM 保護回路

現在、半導体デバイス組立工程における ESD 損傷の多くがこのデバイス帯電、誘導によるデバイス帯電モデル(CDM)あるいはそれに類するパッケージ帯電(CPM)現象と推定されている。これらの現象は、写真1にも示されるように非常に立上りが早い ( $t_r < 0.2\text{nsec}$ ) 放電電流サージの流入によって、保護回路のブレイクダウン等の動作が間に合わず、内部回路における MOS トランジスタゲート酸化膜等が電界的破壊である絶縁破壊を発生させることが多い。図6は GG(Gate-Grounded)



図6 GG-NMOS 保護トランジスタ保護回路

NMOS 保護トランジスタを用いた入力保護回路で、CPM 耐性が非常に低いことが確認されたものである。破壊箇所は写真 2 に示されるように入力ゲート酸化膜破壊である。問題点は保護トランジスタの GND ラインと入力ゲートの GND ラインが分離されていることである。図 7 のように入力トランジスタゲートとソース間に直接 GGnMOS 保護トランジスタを挿入することが対策のひとつとなる。結果、CPM 耐性は大幅に改善された。

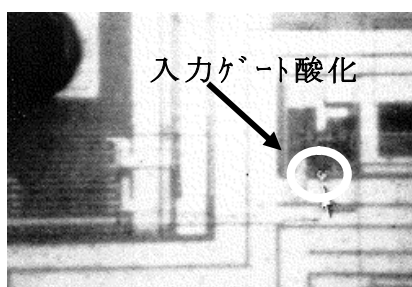


写真 2 CPM 試験による破壊箇所

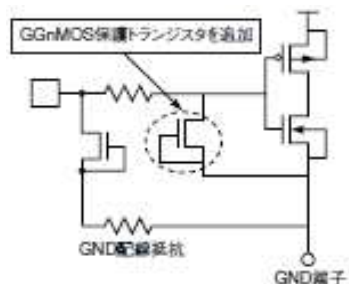


図 7 CPM 耐性改良対策

## 5. 先端半導体デバイス ESD 耐性

### 5.1 サリサイド構造デバイスと HBM 耐性

先端半導体デバイスは、性能向上要求に新たな構造を作り出すことによって対応してきた。結として、単純な微細化による ESD 耐性低下ではなく、各種 ESD 耐性に特有な脆弱さをもたらすことになった。写真 3 に示されるサリサイド構造トランジスタは、動作速度を向上するための構造として普及したものである。ゲートポリシリコン抵抗削減、ソース、ドレイン領域のコンタクト、ゲート間拡散抵抗を削減するため、高融点金属(写真 3 では

Co コバルトの例)をゲートポリシリコン層、拡散層に貼り付け、高融点金属のシリサイド層を形成した構造である。このときゲート領域、拡散層領域のみにシリサイド層が形成されるためサリサイド構造と呼ばれる。サリサイド構造トランジスタは、HBM サージ電流がドレイン領域に流入したときにブレークダウン実効接合断面積が極端に小さくなりブレークダ



写真 3 サリサイド構造トランジスタ断面図  
 ウン発生箇所にシリサイド層を通して HBM サージ電流が集まり、スナップバック動作前に接合破壊に至る。結局、トランジスタ寸法を増加させても耐性は向上せず、ブレークダウン動作をさせるとすぐに破壊され、HBM サージをスナップバック動作にて通過させる保護回路設計ができなくなる。とくに特性の関係から、通常、出力トランジスタを ESD 保護素子としても利用する出力回路における HBM-ESD 保護手法が困難となる。そこで、ドレイン領域の高融点シリサイド層を除去することによって、ブレークダウン実効接合断面積を確保、スナップバック動作が可能になるようにした構造がサリサイドブロック構造と呼ばれるものである。この構造トランジスタを ESD 保護として使用することによって HBM 耐性を確保することが検討、多く使用された。しかしながら、このサリサイドブロック構造トランジスタは、素子自身の HBM 耐性は向上、耐性の寸法依存も確保できるが、通常のサリサイド構造トランジスタに比較し、ESD サージを通過させる応答は構造上、遅く

なる。結果として保護されるべき内部回路の ESD 保護能力を落としたことになった。と言って、内部もすべてサリサイドブロックを装着した構造にすれば ESD 保護は従来通りの考え方でよいことになるが、それではサリサイド構造トランジスタを採用しないのと同じで、高速性能実現を放棄することになる。かつてホットキャリア対策として登場した LDD 構造トランジスタが、非常に低 HBM 耐性であったとき、HBM 耐性の強い保護素子を開発し、それを入力、出力、電源間に ESD 保護回路として装着すればよいというような ESD 保護設計手法では対応できなくなったわけである。<sup>(\*)</sup> 結局、HBM サージが流入したときの各素子、内部回路の印加電圧、通過電流を見積り、HBM サージの通過路を設計する ESD 保護設計手法が必要となる。

## 5.2 ESD パラメータを用いた保護設計手法

サリサイド構造トランジスタを用い、分離電源方式設計による図 8 に示されデバイスにおいて、GND(B)を ESD コモンとして電源(A)端子に HBM 電圧を印加する試験を実施した

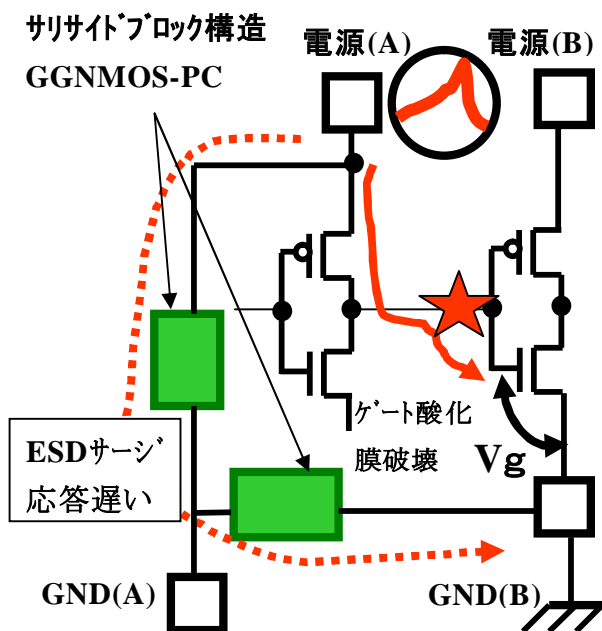


図 8 分離電源方式設計を用いた  
サリサイド構造デバイス HBM 破壊

ところ、電源ブロック間信号インターフェイスインバータにおけるゲート酸化膜が HBM 電圧 500~1000V にて破壊した。電源ブロック (A) の電源間保護 PC(Power Clamp) 及び GND(A)- GND(B)間保護として、サリサイドブロック構造トランジスタを用いた GGNMOS-PC を採用している。この HBM 低耐性は、電源(A)端子-GND(A)端子間、GND(A)端子-GND(B)端子間に挿入されているサリサイドブロック構造 GGNMOS-PC が HBM サージに対する応答の遅いことにより、電源ブロック間信号インターフェイストランジスタゲート酸化膜破壊が生じたものと推定される。この種の ESD 耐性対策は特性劣化とのトレードオフとなる場合が多いため、HBM 印加時における各素子、内部回路における動作を見積ることが重要となる。ブレークダウン、スナップバック動作を ESD 保護動作として活用してゆく ESD 保護設計の場合は、各素子の HBM サージが流入したときのブレークダウン、スナップバック動作パラメータ (ESD パラメータ)を抽出し、保護回路網における ESD 動作の予測手法を構築する必要がある。<sup>(\*)</sup> 結果、各部位の印加過渡電圧変化を確認し、対策案を検討、ESD 保護回路と製品性能との最適化が実現できるのである。HBM-TDR(Time Domain Reflection)-TLP(Transmission Line Pulse)測定方法<sup>(\*)</sup>により各素子の HBM パラメータ抽出、Mixed-Mode シミュレーションによって、図 8 の破壊されたゲート酸化膜に HBM 印加時にかかる電圧を予測したものが、図 9 である。該当ゲート酸化膜の真性破壊電圧が 14V であることを考慮すると、HBM 印加 500~1000V にて破壊する試験結果を表現できているものと考えられる。この手法を用いればこの HBM 低耐性改良対策を検証できる。この手法によって HBM 耐性向上は見積れるため、特性シミュレーションを同時に実施し、最適化対策を抽出、検証できることにな

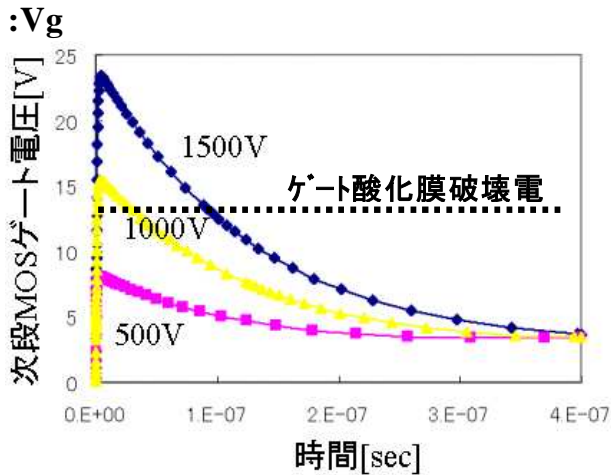


図9 ゲート酸化膜印加電圧

このように、HBM-TDR-TLP 測定による HBM パラメータ抽出、Mixed-Mode シミュレーションによる ESD 対策最適化手法は、ESD 保護素子、被保護内部素子のブレイクダウン、スナップバック特性を最大限利用することによって ESD 保護回路設計する上で必須の手法となるものと思われる。

### 5.3 SOI 構造、高耐圧デバイスと HBM 耐性

写真4は、高速、低消費を実現するトランジスタとして用いられる FD-SOI(Fully Depleted Silicon on Insulator)構造デバイス断面である。Si 支持基板と SOI 動作領域は埋込酸化膜にて分離、素子間も酸化膜にて完全分離されているため、寄生容量は非常に小さい。SOI 層は非常に薄く、完全に空乏化しているため、高速動作、低電圧動作、低消費動作が可能となる。非常に薄い SOI 層に HBM サージなどが流入、ブレイクダウンを起こすと、周囲は酸化膜に覆われているため、発熱した熱は殆ど逃げず、すぐに融点に達し、ポリシリコン抵抗の溶断のような現象で容易に破壊してしまう。(写真5参照)しかし、SOI 層を厚くすると FD-SOI 構造デバイスの特徴が維持できなくなり、低電圧動作、低消費動作が物理的に得られなくなってしまう。FD-SOI 性能を実現するならば、ESD に対する脆弱性を克服する ESD 保護設計手法が必要となる。

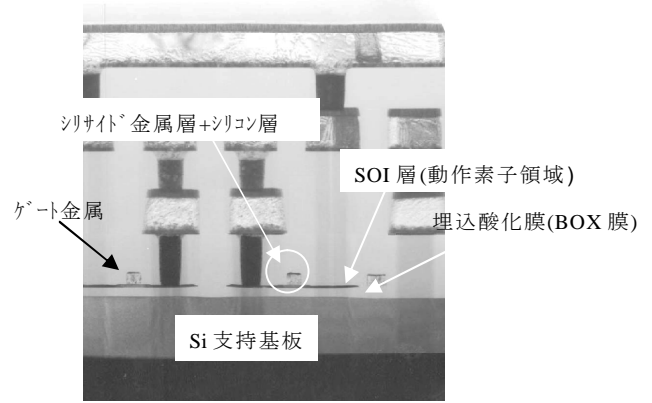


写真4 FD(完全空乏型)-SOI構造デバイス断面

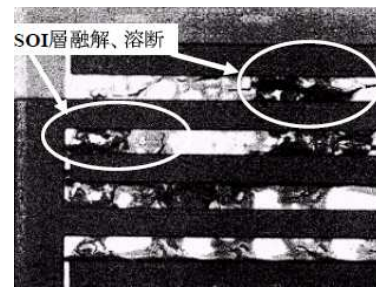


写真5 SOI層溶断現象

高耐圧トランジスタの場合は、耐圧を上昇させた PN 接合に HBM サージが流入すれば、サージ電流は外部回路にて決まる過渡電流がブレイクダウン電流として流れるため、PN 接合で消費される電力が上昇するので、破壊耐性は低下する。従って、通常トランジスタ耐圧と ESD 耐性は負の相関をもつことになる。すでにブレイクダウンするとその時点で破壊するとい状態となっている高耐圧トランジスタがかなり多い。(参照 図10)

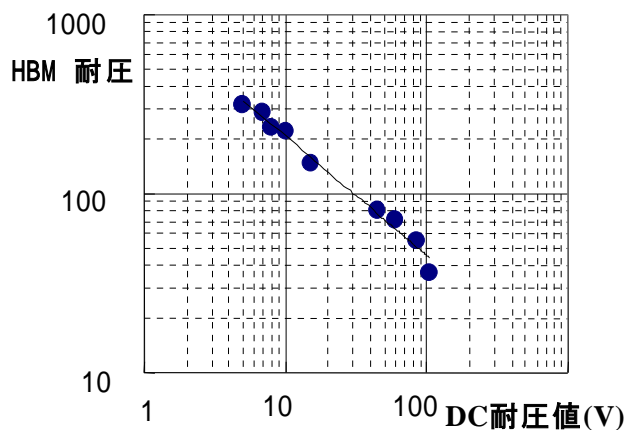


図10 高耐圧トランジスタの DC 耐圧と HBM 耐圧との関係

## 5.4 PC-ESD 保護回路網手法

ブレークダウン、スナップバック動作を ESD 保護の動作として活用してゆくサリサイドブロック構造トランジスタが、出力トランジスタとして利用できず、SOI 構造トランジスタ、高耐圧トランジスタのようなブレークダウンすると構造上すぐに破壊してしまう素子を、出力トランジスタなどに用いなくてはならない場合はどうすればいいのか。今後、ブレークダウンすると破壊し、ブレークダウン、スナップバック動作を ESD 保護の動作として活用することが、構造上不可能な素子、デバイスはどんどん出てくるものと思われる。ESD 保護設計手法としての発想の転換が必要である。近年、先端デバイス、高耐圧デバイスにて検討、展開されだしている RC タイマ、CC タイマ、GC (Gate Control) NMOS、トリガリング SCR 等を PC 用いた ESD 保護回路網設計思想である。簡単に言えば、ブレークダウンしたら破壊する素子にはブレークダウンさせないように ESD サージを違う経路で流してしまう ESD 保護経路設計手法である。

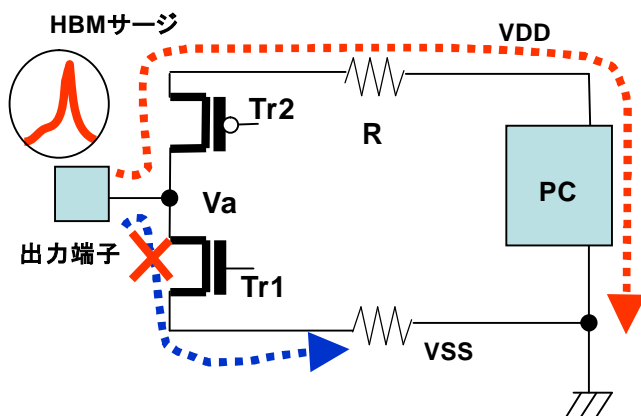


図 1.1 PC を用いた出力 ESD 保護回路網  
図 1.1 は PC を用いた出力 ESD 保護回路網手法を示したもので、出力端子に流入する HBM-ESD サージが Tr1 が入力端子に流入する ESD サージにてブレークダウンを起こすまえに Tr2 (順方向動作)  $\rightarrow R \rightarrow PC \rightarrow VSS$  という経路で ESD サージを通過ように設計するものがある。ここで保護されるべき Tr1 をブレークダ

ウンさせないためには、Va 電位が Tr1 の  $BV_{sd}$  より上昇しないように PC が動作しなければならない。図 1.2 は CC タイマ PC<sup>(\*)</sup> と呼ばれている PC を採用した保護回路を示す。

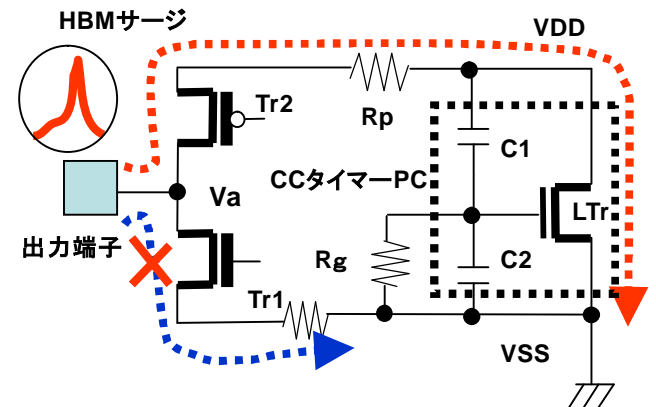


図 1.2 CC タイマ PC 搭載 ESD 保護回路網  
出力端子に流入した HBM サージは、Tr2 (順方向動作) を介して流れ、VDD ライン電位を上昇させる。C1/C2 の容量分圧にて LTr (Large Tr) のゲート電位を上昇させ、ON 状態となった LTr チャンネルを HBM サージは VDD ラインから VSS ラインへ流れる。従って、Va 電位の上昇は抑えられ、出力トランジスタ Tr1 は、ブレークダウンせずに HBM サージは、出力端子  $\rightarrow Tr2 \rightarrow R_p \rightarrow LTr \rightarrow VSS$  という経路で流れることとなります。C1/C2 比、LTr 寸法などによっても変わりますが、HBM サージ電流量が多くなると LTr 自身がブレークダウン、スナップバックします。しかしながら、チャンネル電流がかなり大きく流れている状態でのスナップバック現象開始電圧  $BV_{on}$  は GGNMOS の  $BV_{sd}$  値よりもかなり低くなるので、Va は Tr1 のブレークダウン電圧まで上昇しないように設計できるのである。但し、図 1.2 において出力端子から PC までの電源配線抵抗が大きいと Va は上昇し、Tr1 がブレークダウン、ESD 保護されない状態になるので、注意が必要である。図 1.3 は HBM2kV 印加時において出力端子電圧 Va と上記配線抵抗 ( $R_p$ ) との関係を示したものである。

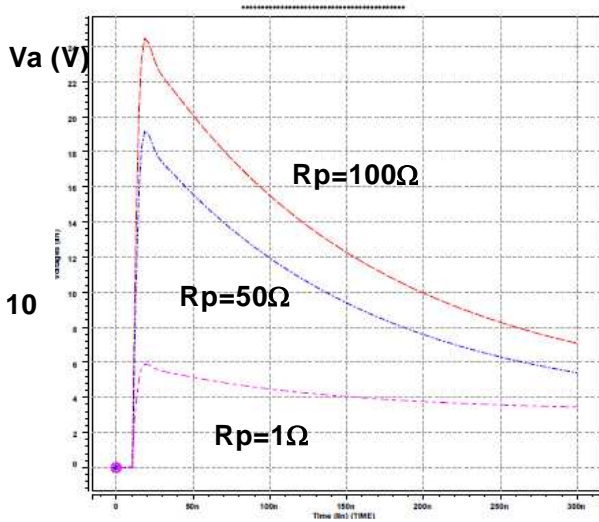


図 1 3 CC タイマ-PC 保護回路における HBM 印加(2kV)時 Va 電位と Rp との関係  
さらに図 1 4 は、PC として GCNMOS(Gate Control Ntype Metal Oxide Semiconductor)-PC を搭載した ESD 保護回路網<sup>(\*)</sup>を示している。

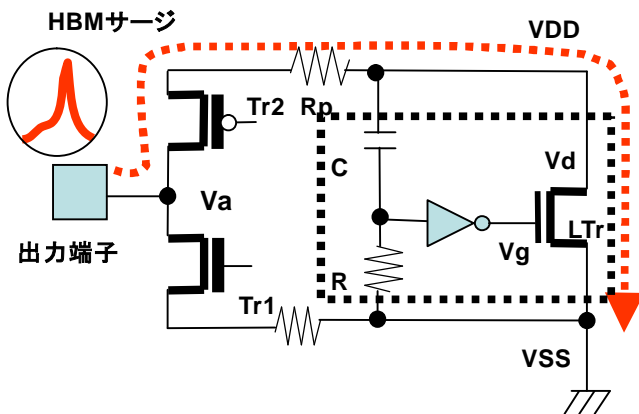


図 1 4 GCNMOS-PC 搭載搭載 ESD 保護回路網  
この場合、CR タイマにインバータを介して LTr のゲートへ接続しているものである。この PC では、HBM サージ印加にて LTr の Vg, Vd が同電位となり  $I_d = A(V_d - V_t)^2$  のチャネル電流として HBM サージを逃がすことになる。LTr 自体はつねに非飽和領域と飽和領域の midpoint で動作する。

このように従来は、単に電源-GND 間の内部回路保護として使用されてきた PC が、現在の先端デバイスでは、入出力端子に ESD 印加されたときに出力トランジスタや入力保護

トランジスタ、内部回路等がブレークダウンしないように ESD サージを通過させる道として動作させる重要な ESD 保護回路ユニットとなっている。ここで紹介した以外にも、トリガリング SCR<sup>(\*)</sup>を用いた PC なども多く研究され、使用されている。

## 6. 今後の課題

今後、CDM 耐性低下となってくることが構装上予測される。また、ESD による信頼性劣化問題も出てきそうな状況である。CDM モデリング、CDM-ESD パラメータ抽出方法、信頼性シミュレーションなど早急に整備されなければならない。これらの検討から、さらなる ESD 保護設計手法を構築してゆくことが求められている。

## 参考文献

- 1) 福田保裕：“MOS DEVICE の静電気破壊評価方法・パッケージ帯電法の提案”，電子通信学会技術研究会報告(信頼性研究会),R83-33,1983.10
- 2) Y.Fukuda etc：“VLSI ESD Phenomenon and Protection”，1988 EOS/ESD Symp. Proc. pp228-236,1988.9
- 3) IEC 61340-3-1：IS “Methods for simulation of electrostatic effects-Human body model (HBM)-Component testing.”,2005
- 4) IEC 61340-5-1：TR2 “Protection of electronic devices from electrostatic phenomena- General requirements”,1998
- 5) I.Kurach and Y.Fukuda：“Improvement of Soft Breakdown Leakage of off-State nMOSFETs Induced by HBM ESD Event Using Drain Engineering for LDD Structure”，IEICE Trans. Vol E77-A No1, pp 166-173, 1994.11
- 6) 福田保裕：“TLP 解析手法と先端デバイス ESD 保護回路設計”，クリーンテクノロジー誌,pp8-11,



2004.6

- 7) 特許第 3526853 号”半導体装置の静電気破壊防止回路”
- 8) Richard Merrill etc. : ”ESD Design Methodology”, 1993 EOS/ESD Symp. Proc., 4B.7, 1993.9
- 9) Bart Keppens : ”ESD Protection Solutions for High Voltage Technologies”, 2004 EOS/ESD Symp. Proc., 5B.5, 2004.9

(ふくだ やすひろ／沖エンジニアリング)



福田保裕

1977年3月名古屋工業大学電気工学科卒業、1977年4月沖電気工業株式会社へ入社、以来、半導体デバイス静電気障害の研究に従事、1983年半導体デバイスの静電気破壊現象としてのパッケージ帯電モデルを発表、1986年パッケージ帯電モデルによる自動試験装置を開発、1990年LDDトランジスタへのESDキャリア注入現象解明、1999年より完全空乏化SOIデバイス開発業務に従事、2004年よりTDR-TLP測定手法、Mixed-Mode-Simulation手法を用い、抽出されるESDパラメータによるESD保護設計手法を展開。IEC TC101(静電気)WG6(ESD Simulation)国内委員会主査、ESD Industry Council コアメンバー、静電気学会会員。