

2021 OEGセミナー

# 高絶縁データロガーを用いた 故障時間常時モニタシステムの開発

### ~ワイドギャップ半導体(SiC)の2社間比較による信頼性試験精度の検証~

1/22

2021年9月10日

### 沖エンジニアリンク株式会社

### 信頼性ソリューション事業部

春日智





- 1. はじめに
- 2. 開発の背景
- 3. 目的
- 4. 高温逆バイアス(HTRB)試験
  - 4.1 これまでの方法
  - 4.2 開発した方法
  - 4.3 機器の接続
- 5. 使用サンプル
- 6. ESD試験とESDストレス印加条件
- 7. 代表特性測定值(ESDストレス印加前後)
- 8. HTRB試験結果
  - 8.1 代表特性測定值(HTRB試験前後:A社製)
  - 8.2 代表特性変化(HTRB試験前後:A社製)
  - 8.3 代表特性測定值(HTRB試験前後:B社製)
  - 8.4 代表特性変化(HTRB試験前後:B社製)
  - 8.5 IDSSの時間変化(A社製)
  - 8.6 IDSSの時間変化(B社製)
- 9. 故障発生品を用いた模擬通電試験
- 10. まとめ



### 1. はじめに

■ワイドギャップ半導体の代表に位置付けられるSiC(※1)は、高い電流駆動能力と高い 絶縁破壊耐性から、小型化、省エネ、効率化が求められている電源用として、 産業機器・電気自動車・鉄道車両・一般家電(例:エアコンのインバーターなど) 向けの幅広い用途で採用されている。

■しかし、SiCは単結晶ウェハの製造過程で結晶欠陥が形成され易く、信頼性への課題が 払拭されていないため、信頼性試験の要求がある。

■結晶欠陥に起因する初期故障問題を克服し、期待される信頼性が確保できている ことを確認するための認証試験の一つに「高温逆バイアス試験(以下、HTRB試験)」 (※2)がある。

 $(\times 1)$  SiC[silicon carbide] :

SiC(シリコンカーバイド)はシリコン (Si) と炭素 (C) で構成される化合物半導体材料。絶縁破壊電界強度がSiの 10倍、バンドギャップがSiの3倍と優れているだけでなくデバイス作製に必要なp型、n型の制御が広い範囲で可能である。

(※2)高温逆バイアス試験[HTRB: High Temperature Reverse Bias]: 最大定格温度で、ドレイン・ソース間に高電圧の逆バイアスを印加し、ゲート酸化膜やPN接合が破壊されないことを 確認する信頼性認証試験。





課題:

■当社の従来のHTRB試験環境では300V程度までの低電圧でしかデータロガーを 使用できなかった。

■そのため、300V以上の絶縁破壊耐性をもつ製品が多数存在するワイドギャップ半導体の HTRB試験では、専用テスターによる電気的特性の定点測定(例:24H,48H,96H, …,1000H)で故障を確認する手段に限られ、この方法では故障時間が非連続の値と なり、細かな故障時間の把握ができなかった。

■しかしながら、どのタイミングで故障が起こるか把握するために、試験により 正確な寿命時間を把握したい、という要望が少なからずあった。



解決手段:

■この課題から、対接地電圧1000Vの高電圧ロガーを組み込んだ、HTRB試験の通電状態を 常時モニタ出来る「全自動ログシステム」を独自開発し、故障に至るまでの劣化の進行を きめ細かく分析できるシステムを構築した。



目的:

■通電状態を常時モニタ出来る「全自動ログシステム」を使用したHTRB試験の手法に ついて報告する。

■具体例とて、2社のSiC MOS FETに対して、故障には至らないレベルの静電気ストレス を印加し、HTRB試験を実施した。 静電気ストレスは、ESD試験装置を使用してHBM (※3)印加を行った。 人体帯電モデルでの静電気ストレスのHTRB故障発生時間への影響の有無についても 合わせて報告する。

(%3) HBM[Human Body Model] :

人体帯電モデル:人体に蓄積された静電気の放電(ESD)によってデバイスが損傷する現象を指す。



### [HTRB : High Temperature Reverse Bias]

最大定格温度雰囲気中で、ゲートOFF状態でドレイン・ソース間に高電圧の逆バイアスを印加し、温度と電界の負荷によってゲート酸化膜破壊やPN接合破壊が発生しないことを確認する信頼性認証試験。

6/22



	試験条件
温度	150[℃]
ゲート-ソース間電圧	0[V]
ドレインーソース間電圧	650[V]
HTRB試験時間	650[時間]



### 4.1 これまでの方法

[これまでの方法] 複数の試料を搭載した試験ボードを高温槽に入れ、ドレインーソース間に逆バイアスを印加する。 故障時間連続モニター機能が無いため、所定の時間ごとに試験を止めて、 専用テスターで特性を測定して故障判定を行う。 (測定後に試料をセットし直して試験を再開する)



沖エンジニアリング株式会社



### 4.2 開発した方法

[連続モニターによる自動故障判定] 複数の試料を搭載した試験ボードを高温槽に入れ、ドレインーソース間に逆バイアスを印加する。 対接地電圧1000Vの高電圧データロガーを、故障検出抵抗に接続し、 リーク電流を常時モニターしながら試験を実施する。 (テスター測定による故障判定不要、測定後の再開作業も不要)





## 4.3. 機器の接続

#### 試験基板、高電圧データロガー、電源の接続を以下に示す。



ドレイン逆バイアス電圧供給電源 (650V設定、Max:5kV)



高電圧データロガー (40ch,対接地電圧1000V)



ドレイン・ゲート保護抵抗搭載基板





高温槽内のセットアップ状態 耐熱基板(耐熱ソケット)に試料を装着 耐熱配線でドレイン・ゲートバイアスを供給

沖エンジニアリンク株式会社



# 5. 使用サンプル

2社のSiC MOS FET(VDS=650V)を使用し、HTRB試験を実施した。

	A社製 SiC MOS FET	B社製 SiC MOS FET
パッケージ	TO-247-3	TO-247-3
ドレインーソース 間電圧	650[V]	650[V]
ジャンクション 温度	175[℃]	175[℃]
チップ構成 (超音波画像)	1チップ構成 ソースワイヤ3本 ゲートワイヤ1本 チップサイズは 両者で同等	1チップ構成 ソースワイヤ1本 ゲートワイヤ1本 チップサイズは 両者で同等



## 6. ESD試験とESDストレス印加条件

人体帯電モデルでの静電気ストレスのHTRB故障発生時間への影響の有無について確認することを目的として、 2社のSiC FETにESD試験装置を使用してHBM印加を行い破壊電圧を把握し、その破壊電圧の80%に 緩和した条件のHBMストレスを印加したサンプルを作製する。

#### ESD試験装置(10kV Max)

試験モデル: HBM (Human Body Model) 100pF/1500Ω

印加組合せ: Gate印加-Drain/Source基準





11/22

	HBM試験結果 [V]	HBMストレス印加電圧	HBM試験での故障個所
A社製 SiC MOS FET	1400V-Pass 1500V-Fail	1500Vx0.8=1200V	ゲート破壊
B社製 SiC MOS FET	1100V-Pass 1200V-Fail	1200Vx0.8=960V	ゲート破壊



# 7. 代表特性測定値(ESDストレス印加前後)

ESDストレス印加前後で、代表的な特性をパワーデバイス・パラメータアナライザーにて測定した。 いずれのサンプルも特性値に大きな変化はなく、ESDストレス印加直後での故障は発生していない。

#### 特性測定結果:試験サンプル数N=10(平均値)

■ A社製SiC MOS FET

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
ESD 印加前	0.22	-0.15	2.522	47.65	0.011
ESD 1200V印加後	0.24	-0.18	2.501	47.29	0.010

■ B社製SiC MOS FET

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
ESD 印加前	0.25	-0.06	4.190	81.75	0.003
ESD 960V印加後	0.17	-0.11	4.107	81.61	0.003

**OKI** Open up your dreams

#### 故障時間常時モニタシステムで650時間までのHTRB試験を実施した結果、故障に至った時間を以下に示す。 いずれのサンプルも650時間を経過し、故障には至らなかった。

	A社製 SiC MOS FET		B社製 SiC MOS FET	
	ESD印加 無し	ESD: 1200V 印加	ESD印加 無し	ESD: 960V 印加
1番目のサンプルの故障時間	>650H	>650H	>650H	>650H
2番目のサンプルの故障時間	>650H	>650H	>650H	>650H
3番目のサンプルの故障時間	>650H	>650H	>650H	>650H
4番目のサンプルの故障時間	>650H	>650H	>650H	>650H
5番目のサンプルの故障時間	>650H	>650H	>650H	>650H
6番目のサンプルの故障時間	>650H	>650H	>650H	>650H
7番目のサンプルの故障時間	>650H	>650H	>650H	>650H
8番目のサンプルの故障時間	>650H	>650H	>650H	>650H
9番目のサンプルの故障時間	>650H	>650H	>650H	>650H
10番目のサンプルの故障時間	>650H	>650H	>650H	>650H

沖エンジニアリング株式会社



## 8.1. 代表特性測定值(HTRB試験前後:A社製)

#### HTRB試験前後で、代表的な特性をパワーデバイス・パラメータアナライザーにて測定した。 IGSS+、VGS(th)に低下が見られるが、HTRB試験後に故障とはなっていない。

#### 特性測定結果:試験サンプル数N=10(平均値)

■ A社製SiC MOS FET (ESD印加無し)

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
HTRB 試験前	0.23	-0.15	2.503	47.82	0.031
HTRB 試験後	0.08	-0.14	2.351	47.74	0.010

14/22

A社製SiC MOS FET (ESD1200V印加)

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
HTRB 試験前	0.24	-0.18	2.501	47.29	0.010
HTRB 試験後	0.08	-0.14	2.372	47.53	0.008



## 8.2. 代表特性変化(HTRB試験前後:A社製)

#### 箱ひげ図にて、特性測定結果のばらつきを比較する。 ESD印加無しとESD1200V印加のサンプルでばらつきに差が見られるが、使用したサンプルのロットが 異なる事に起因する。 HTRB試験前後で、サンプル毎のばらつきに大きな差は見られない。





## 8.3. 代表特性測定值(HTRB試験前後:B社製)

HTRB試験前後で、代表的な特性をパワーデバイス・パラメータアナライザーにて測定した。 ESD印加無しとESD960V印加のサンプルでVGS(th)、RDS(on)に差が見られるが、 使用したサンプルのロットが異なる事に起因する。HTRB試験後に故障とはなっていない。

#### 特性測定結果:試験サンプル数N=10(平均値)

■ B社製SiC MOS FET (ESD印加無し)

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
HTRB 試験前	0.23	-0.10	3.954	75.02	0.003
HTRB 試験後	0.15	-0.07	3.939	75.30	0.002

16/22

■ B社製SiC MOS FET (ESD960V印加)

試験項目	IGSS+[nA]	IGSS-[nA]	VGS(th)[V]	RDS(on)[mΩ]	IDSS[uA]
HTRB 試験前	0.17	-0.11	4.107	81.61	0.003
HTRB 試験後	0.16	-0.06	4.101	81.52	0.002



# 8.4. 代表特性変化(HTRB試験前後:B社製)

#### 箱ひげ図にて、特性測定結果のばらつきを比較する。 ESD印加無しとESD960V印加のサンプルでばらつきに差が見られるが、使用したサンプルのロットが 異なる事に起因する。 HTRB試験前後で、サンプル毎のばらつきに大きな差は見られない。

17/22





## 8.5.IDSSの時間変化(A社製)

全自動ログシステムによるHTRB試験中(650時間)のIDSS値の時間変化を示す。 ESD1200V印加の有無に関わらず、HTRB試験中にIDSS値が大きく変動する事は無く、 ほぼ一定値となっている事が確認できる。 以上により、HBMでの破壊電圧の80%でESD印加を行っても、HTRB試験に 大きな影響は与えない事が確認できた。



ログデータは1秒毎に取得されているが、グラフにプロットするために、2時間毎のデータとしている。

**沖エンジニアリンク、株式会社** 



## 8.6.IDSSの時間変化(B社製)

全自動ログシステムによるHTRB試験中(650時間)のIDSS値の時間変化を示す。 ESD960V印加の有無に関わらず、HTRB試験中にIDSS値が大きく変動する事は無く、 ほぼ一定値となっている事が確認できる。 以上により、HBMでの破壊電圧の80%でESD印加を行っても、HTRB試験に 大きな影響は与えない事が確認できた。



ログデータは1秒毎に取得されているが、グラフにプロットするために、2時間毎のデータとしている。

沖エンジニアリンク株式会社



### 9.故障発生品を用いた模擬通電試験

試験時間内で故障が発生しなかったため、ESD試験装置を使用してわざと故障サンプルを作製し、 未故障品10個と故障品2個で模擬的な通電試験を実施した。 全自動ログシステムで収集したデータを示す。 故障品(写真のCH4-1、-2およびグラフの11、12)についてはIDSS値が増大しているが、その他の サンプルのIDSS値については、故障の影響を受けず、正常なログ動作が継続されている。全サンプルが 故障するまで手を掛ける必要はなく試験完了後にIDSS値が増大した時間をログから読み取る事で、 正確な故障発生時間を把握できる。



A社製 SiC MOS FET:3分ごとのデータとしてグラフにプロット グラフ1~10 : ESD1200V印加サンプル(未故障品) グラフ11、12 :ESD1500V印加サンプル(故障品)

20/22

沖エンジニアリンク、株式会社



## 10. まとめ

- 2社のSiC MOS FETにてHTRB試験を実施した。 ESDストレスを印加した試験サンプルはいずれも故障には至らなかった。
- HBMでの破壊電圧の80%に抑えたESDストレスは、HTRB試験での故障発生に 大きな影響を与えない事が確認できた。
- 全自動ログシステムのモニタ抵抗の値は高温(150[℃])での動作を元に決定しており、 概ね、妥当なIDSS値が得られている。
- 全自動ログシステムでのIDSSのログ値より、特性測定結果は2桁程度小さな値に見えるが、 特性測定は常温での測定であり、IDSS値が抑えられているためである。
- パワーデバイスの「高温逆バイアス試験」時の故障発生時間を秒単位で正確にモニター することで故障が発生するタイミングや経時変化の観測が行える。これにより、寿命予測精度を 大きく向上させる事が可能となる。

パワーデバイスに適用可能な故障時間連続モニター試験サービスを開始しました。 信頼性試験の他、電気的特性測定、LSIテストサービスをワンストップで提供します。 半導体部品やモジュールの評価、試験に多くの実績を持つOKIエンジニアリングに 是非ご相談ください。

© Copyright 2021 Oki Engineering Co., Ltd.





22/22

**OKI** Open up your dreams

沖エンジニアリンク株式会社