

2009 OEGセミナー

# AEC-Q100車載用IC 高温ラッチアップ試験の落とし穴

2009年 7月14日

**沖エンジニアリンク株式会社**

信頼性設計事業部  
加藤 且宏

# 目次

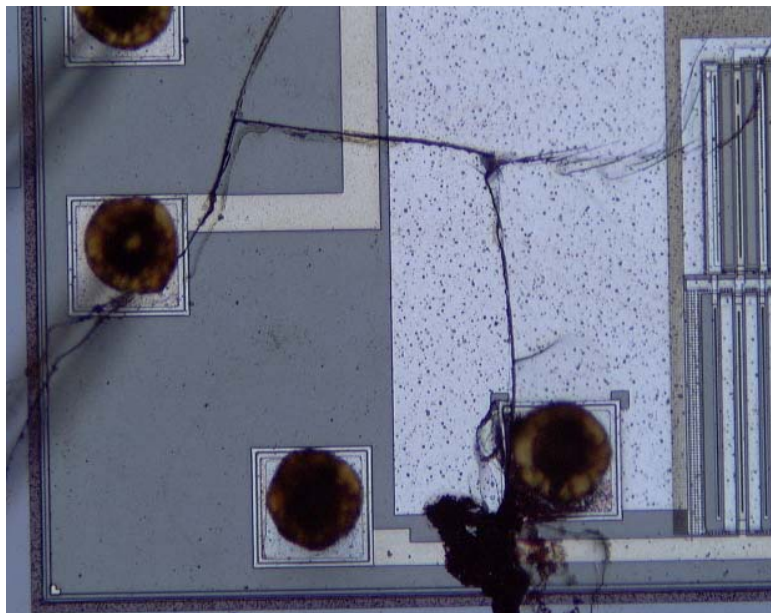
1. ラッチアップについて
2. AEC-Q100ラッチアップ試験条件の落とし穴
3. ラッチアップ試験の個別試験仕様が  
問題となる代表的な事例
4. 沖エンジニアリングの  
ラッチアップ試験と改良支援サービス
5. まとめ

# 1.1 ラッチアップとは

## ラッチアップ(Latch-up)

CMOSデバイスの寄生サイリスタがターンオンし、電源—GND間に電流が流れ続ける現象

入出力端子へのサージ流入、電源のバウンスetc



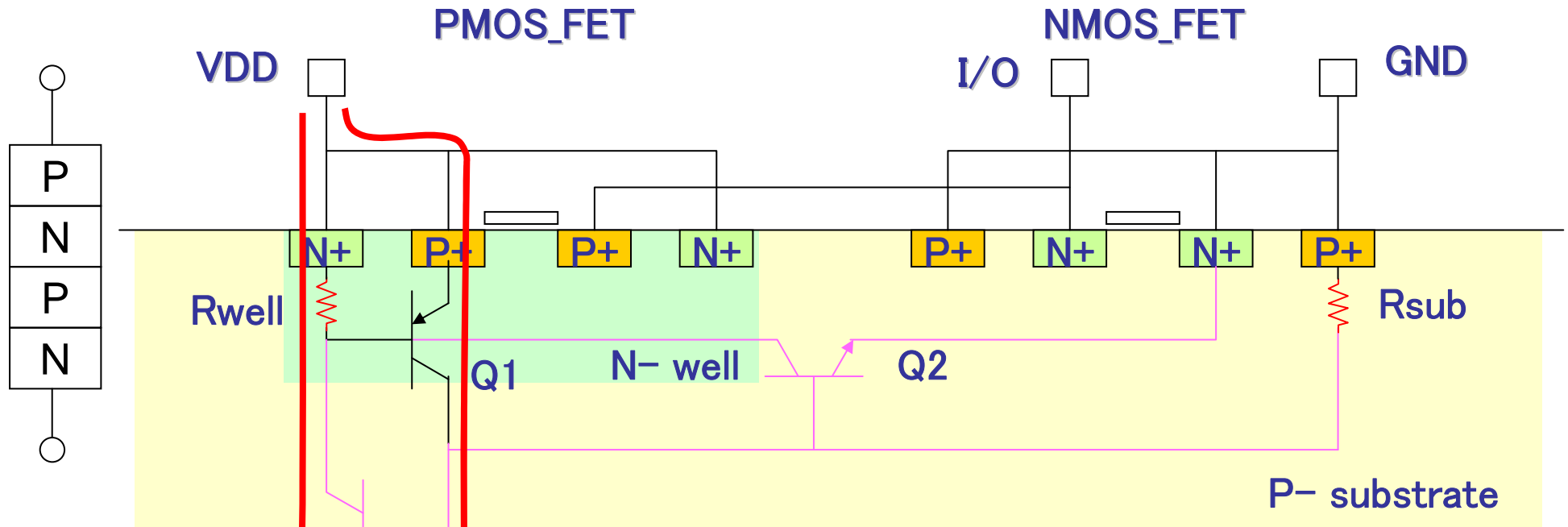
ラッチアップ破壊  
(チップ割れ)の例

パッケージ焼損・割れ  
ワイヤ剥がれ(破断)  
ワイヤの溶断  
アルミ・ポリ配線の焼損...など

プリント基板の焼損  
失火への危険

**安全に直結する信頼性要素**

# 1.2 なぜラッチアップが起こるか



Q1: Vertical PNP transistor

Q2: Lateral NPN transistor

- ・CMOS構造デバイスには寄生サイリスタが形成される (Q2を手前から左下に折り返した形)
- ・2つの電流が互いに帰還を掛け合う ( $\beta_1 \times \beta_2 > 1$ )  
→電源をOFFしないとラッチアップ状態から抜け出せない

**大電流・発熱** → **デバイス・基板破壊**

# 1.3 ラッチアップ試験

## 試験対象と試験法

試験対象	試験法	試験電流(電圧)と判定レベル
入力・出力端子	パルス電流注入法	<u>±100mAの電流パルス</u> でLUを起こさないこと
電源端子	電源過電圧法	<u>VCCの1.5倍までの電圧パルス</u> でLUを起こさないこと

一般的な認証レベルとして定着してきている

## 国内外の規格

種類		規格名	AEC-Q100 -004 Rev.C	JEDEC JESD78B	JEITA ED-4701
試験実施温度	室温		＝	○	○
	最大動作保証温度		○	○	○(個別)
端子固定条件			<u>All Logic-High/Low</u>	<u>All Logic-High/Low</u>	Inom min 1条件

**AEC-Q100では最大動作保証温度のみ試験要求(室温試験の要求無し)**

最大動作保証温度の試験がワーストにならない場合がある  
→ 認証を誤る可能性

## 2. AEC-Q100 ラッチアップ 試験条件の落とし穴

最大動作保証温度(高温下)でのラッチアップ試験が、  
必ずしもワーストケースとは限らない事例とは....

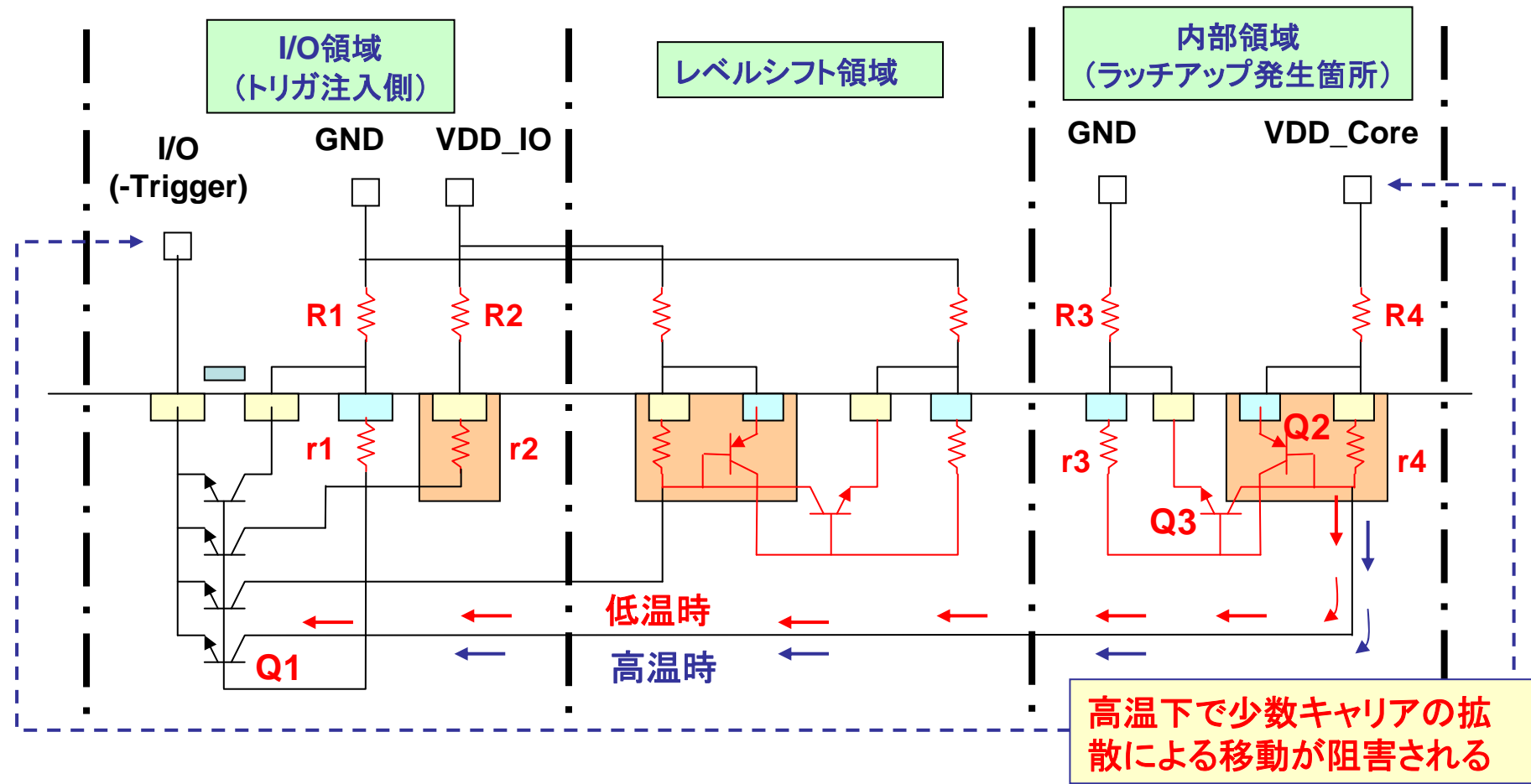
### 事例1

I/Oに近接する内部回路がラッチアップを起こすケース

### 事例2

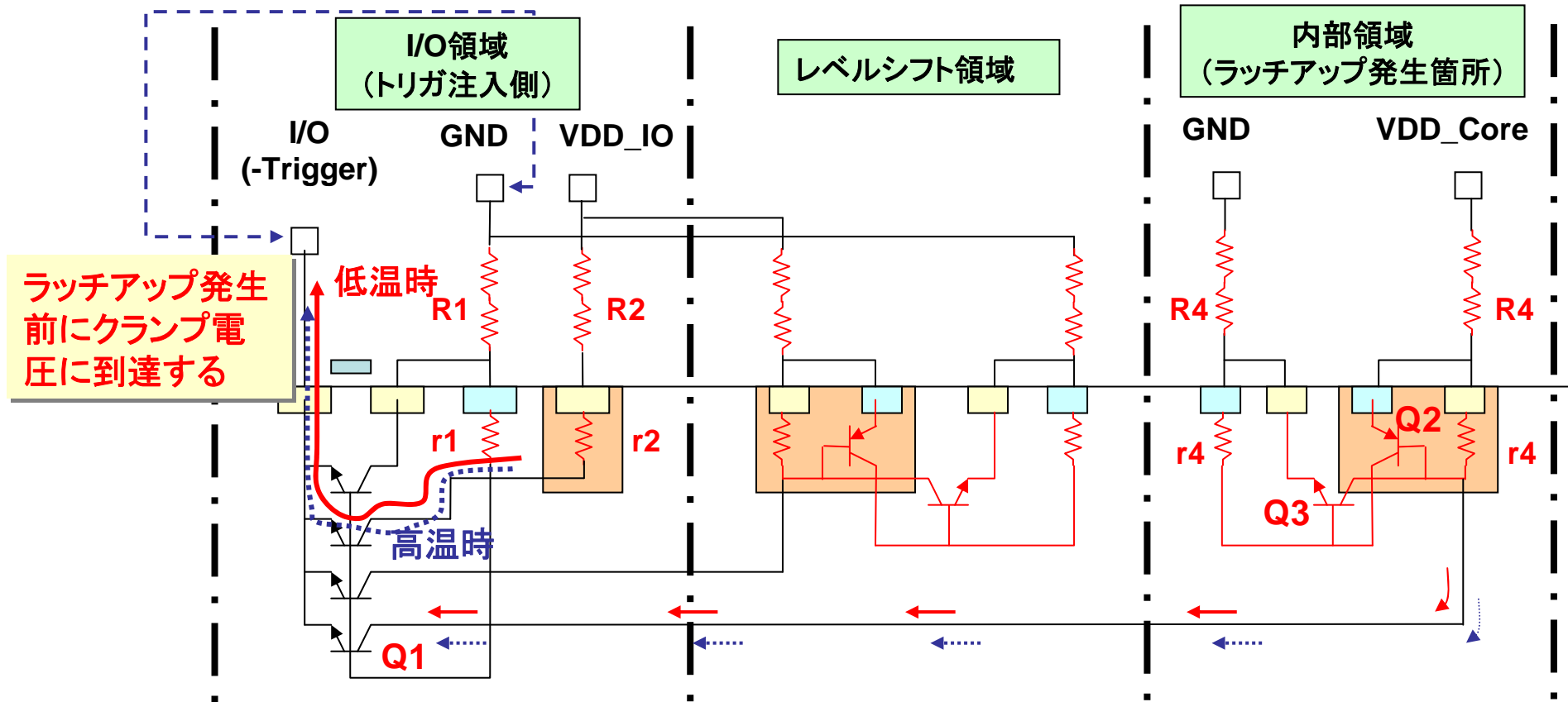
クランプ電圧でラッチアップ判定を免れるケース

## 2.1 I/Oに近接する内部回路がラッチアップを起こすケース



I/O回路に近接する内部回路がラッチアップを起こす(Q1のベース長が大きい)場合、高温時は室温に比べて、Q1のコレクタ電流(Psub内を拡散する小数キャリア電流)が流れ難くなり、ラッチアップを起こし難くなる

## 2.2 クランプ電圧でラッチアップ判定を免れるケース



室温では、クランプ電圧に到達する前にラッチアップトリガ電流が流れ、ラッチアップを起こしているレイアウトの時、高温下で配線抵抗が高くなると、トリガ電流に達する前にクランプ電圧に到達し、(見かけ上)ラッチアップを起こさなくなる  
 →ラッチアップ耐性が良く見えてしまう



## 2.3 AEC Q100準拠の正しい認証試験を行なうには...

### 事例1

I/Oに近接する内部回路がラッチアップを起こすケース

- 多電源デバイスで起こりやすい
- 問題を回避するための画一的な方法はない
- 温特評価、又は、マージン評価を適宜実施する

### 事例2

クランプ電圧でラッチアップ判定を免れるケース

- 試験結果のクランプ電圧に着目する

ラッチアップ試験に高い専門性が要求される

ラッチアップ試験結果を  
適格に見極める専門性

ラッチアップ試験規格に記載されて  
いない個別の試験条件をデバイス  
仕様書から適切に読み取る専門性

沖エンジニアリングの  
ラッチアップ試験サービス

個別の試験仕様が問題となる具体事  
例にはどんなものがあるか？

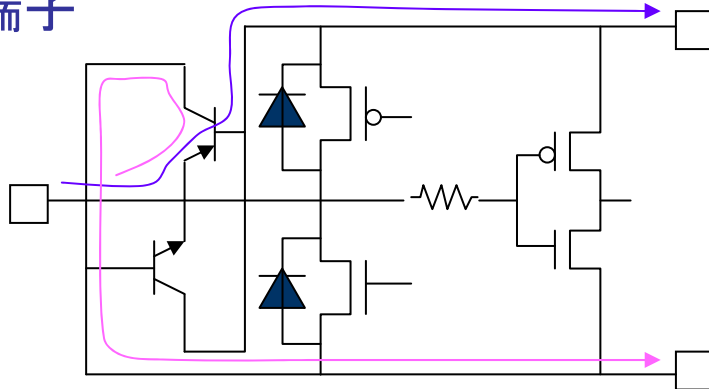
### 3.1 個別試験仕様が問題となる代表的な事例

個別仕様の項目	設定を誤った場合の影響	対象デバイス(端子)
多電源デバイスの電源投入順序	デバイス破壊	大規模システムLSI
同 電源切断順序	<div style="border: 1px solid black; background-color: yellow; padding: 5px; text-align: center;"> <p><b>データシートから試験条件を適切に設定 (Tolerant, on抵抗, Pull-up/Pull-down etc)</b></p> </div>	
受動部品(バイパスコンデンサ)の除電		
クランプ電圧設定	過剰ストレス試験 (デバイス破壊)	<u>オープンドレイン端子</u>
端子固定条件	デバイス破壊  ラッチアップ誤判定 異常電流(内蔵PU/PD抵抗と外部抵抗との競合)	<u>レギュレータ出力端子</u> ドライバ出力端子 大規模システムLSI <u>PU/PD抵抗付入力端子</u>

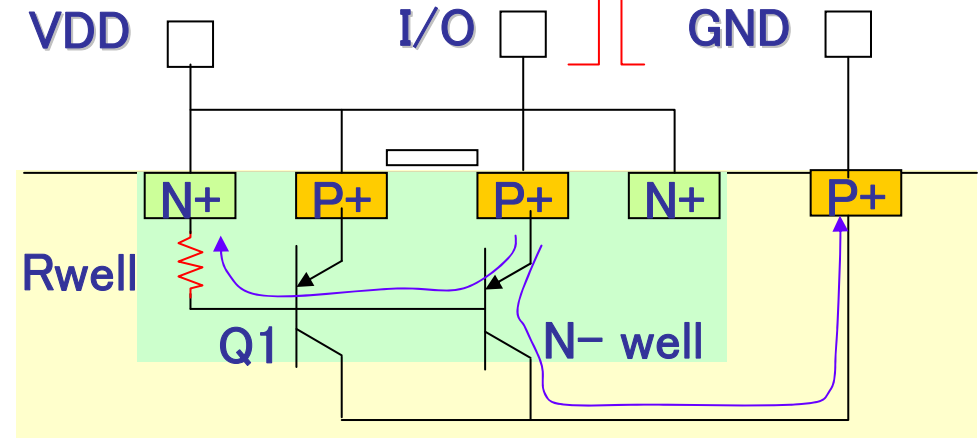
## 3.2 オープンドレイン端子の破壊

クランプ電圧を適切に設定しないと問題が生じる

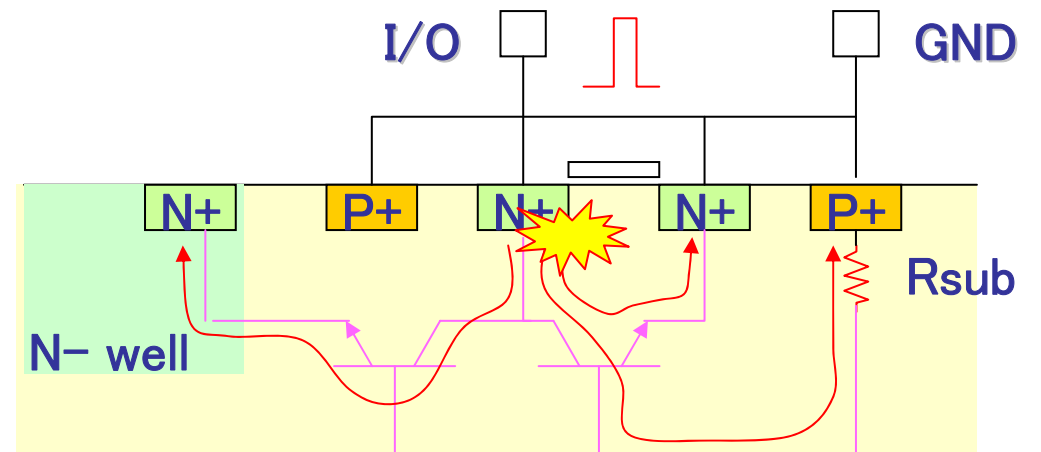
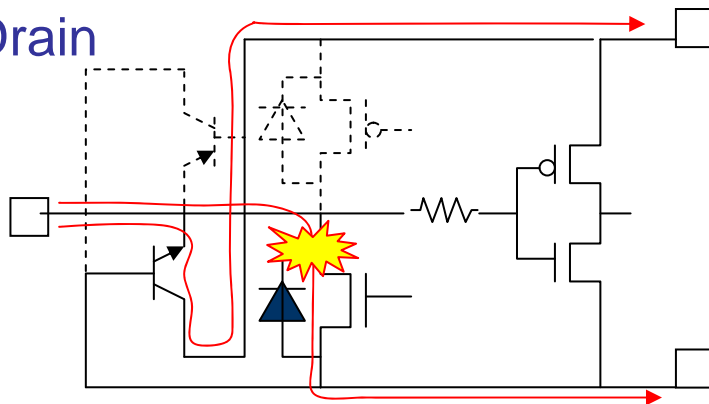
CMOS端子



正極トリガ電流が順方向で流れる



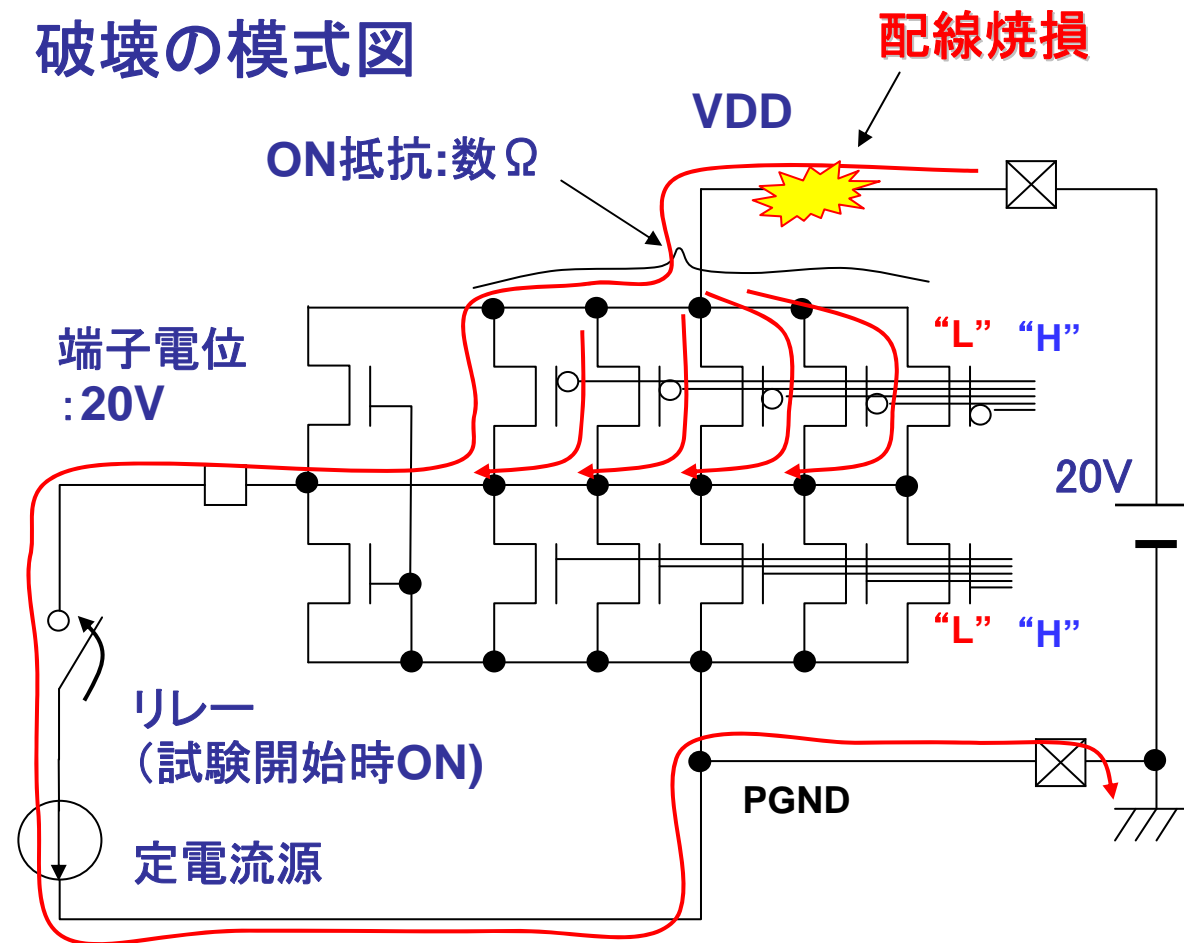
Open Drain  
端子



NMOSがブレークダウンを起こすまで正極トリガ電流が流れない→接合破壊  
→破壊防止には、ブレークダウンを未然に防ぐ(クランプ電圧までに留める)

### 3.3 レギュレータの破壊

#### 破壊の模式図

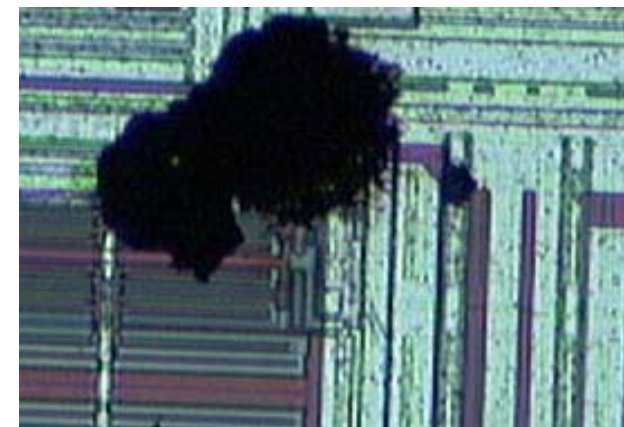


All\_High / All\_Lowの2条件にとられると問題が生じる

ON状態のレギュレータ出力端子にマイナストリガ試験を実施すると...

試験開始時(リレーが入った瞬間)に破壊(数Ωの短絡回路に20V掛る)  
レギュレータOFF状態でなければ破壊回避不能

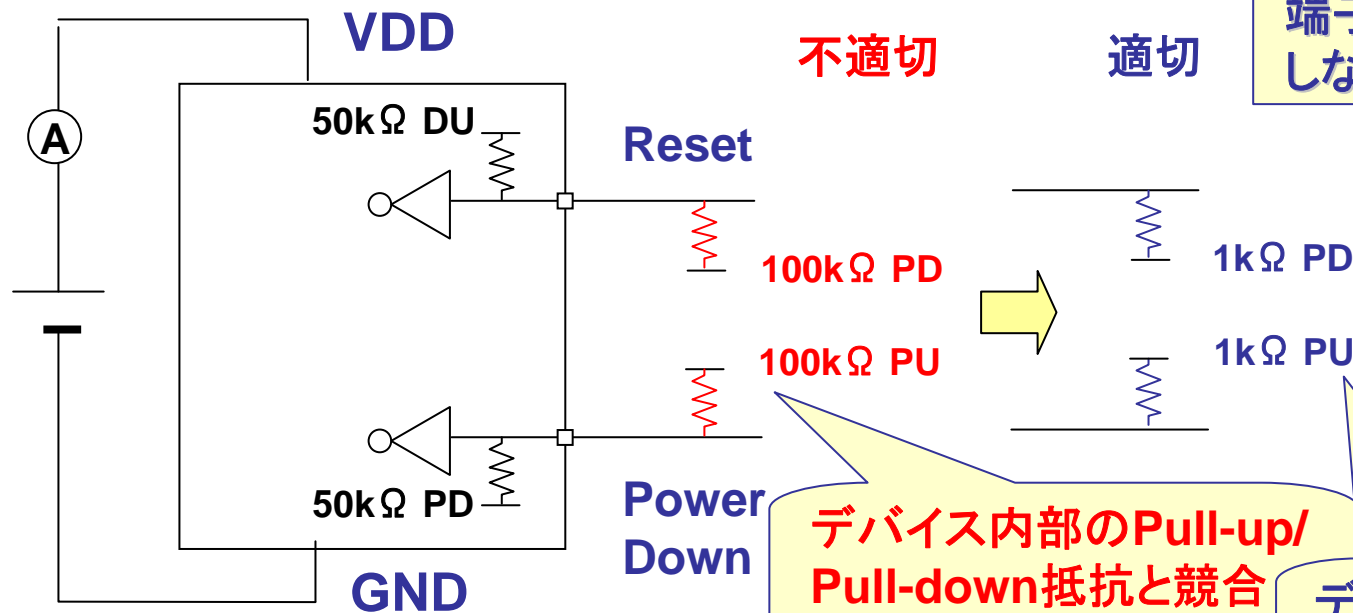
- ・出力ゲート電位="H"はOK
- ・出力ゲート電位="L"はNG



VDD配線の焼損

OFF条件の端子固定条件のみ有効とする  
(又は、仕様書で外部負荷を規定)

# 3.4 PU/PD抵抗付入力端子の中間電位設定



端子の仕様を正確に把握しないと問題が生じる

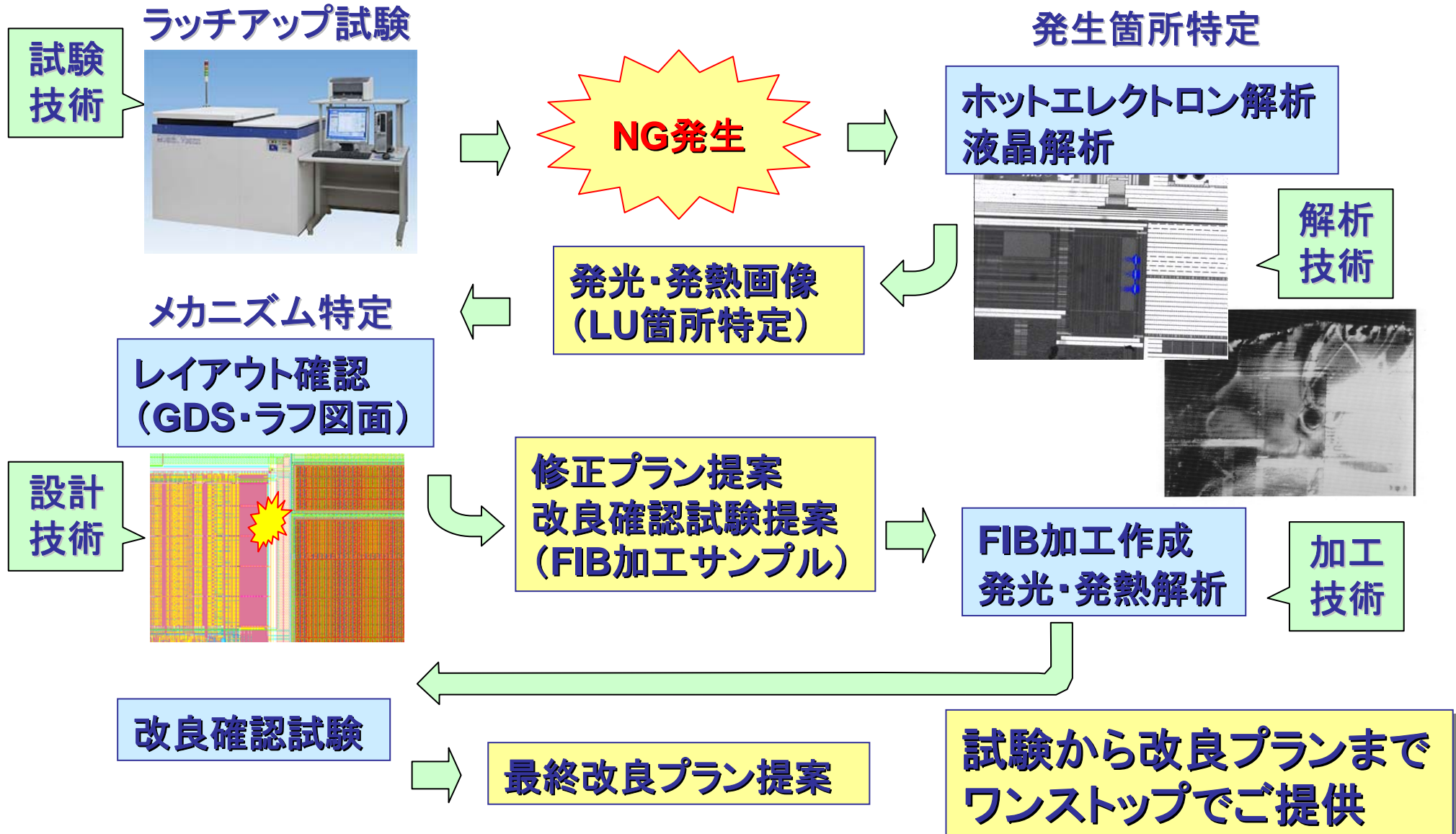
デバイス内部のPull-up/Pull-down抵抗と競合

デバイス内のPU/PD抵抗より十分低い

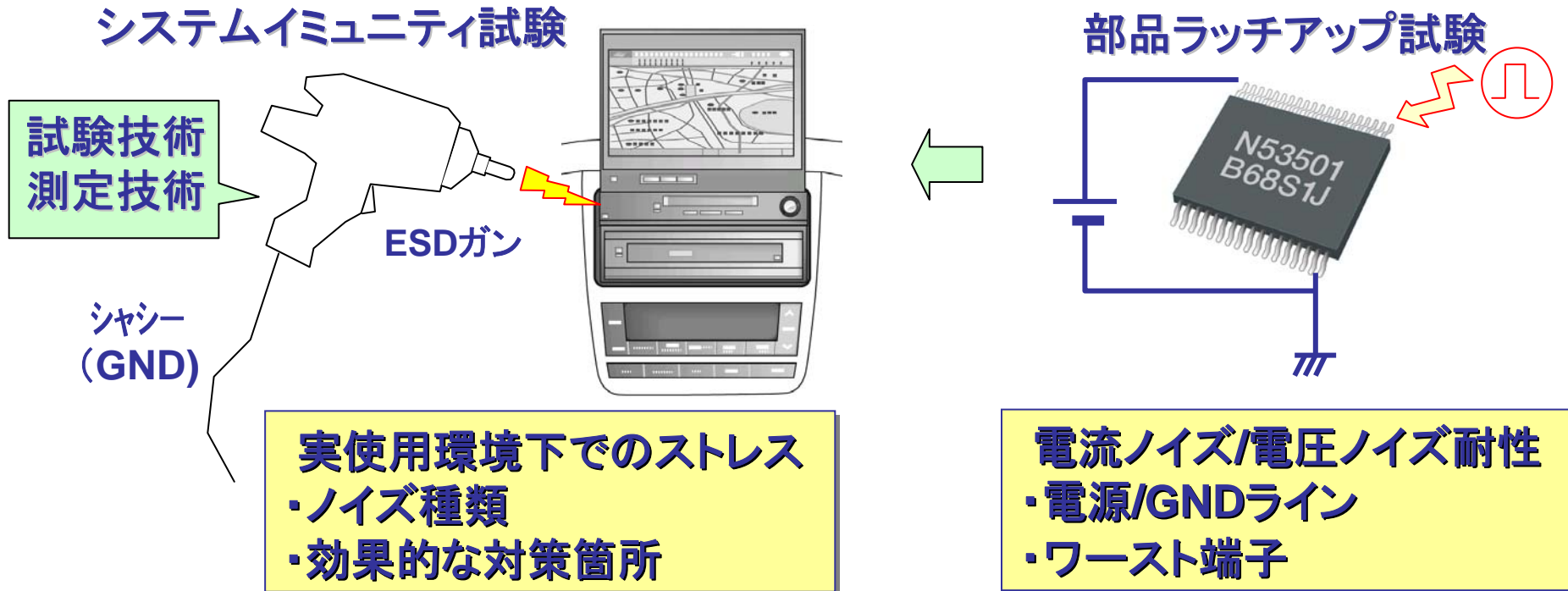
	動作時の端子設定	スタンバイ時(LU試験)		
		端子設定	装置内蔵抵抗100kΩでのPU/PD設定	ボード上結線のPU/PD設定
Reset	x (H)	L	H (2/3 VDD)	L
Power down	x (L)	H	L (1/3 VDD)	H
電源電流	数100mA	数uA	数100mA	数uA

# 4. 沖エンジニアリングの ラッチアップ試験 改良支援サービス

# 4.1 ラッチアップ試験トータル支援サービス



## 4.2 イミュニティ試験改良支援サービス



### 沖エンジニアリングのトータルサポート体制

デバイスラッチアップ試験→故障解析→デバイス改良  
↓  
(デバイスの実力) → システムイミュニティ対策



## まとめ

- ・ラッチアップ試験のあらゆるニーズに対応  
(受託試験から対策コンサル、イミュニティ試験まで)
- ・試験に精通した技術者が試験のプランニングから結果の判断、解析までしっかりサポート
- ・専用基板(ソケット)を使用しない  
簡易評価=Quick Lookサービス  
もご提供
- ・中立公正な試験結果をご提供  
(IECQ独立試験所認定取得)  
(車載TS16949適合試験に最適)

