

TLP 測定による ESD パラメータ抽出

ESD Parameter Extraction by TLP Measurement

福田保裕 山田朋美 澤田真典

Yasuhiro Fukuda Tomomi Yamada Masanori Sawada

沖エンジニアリング株式会社 阪和電子工業株式会社

Oki Engineering co., Ltd. Hanwa Electric Industry co., Ltd

[要旨]

半導体デバイスの ESD (Electrostatic Discharge : 静電気放電) 損傷、障害は、組立工程の変化、デバイス構造の変化、デバイス、システム設計手法の変化等に伴い、形を変えながら問題を起こしてきた。古くて新しい問題と言われるゆえんである。また、これらを防止するためのデバイス保護回路の設計手法も同時に変化してきた。ここでは、近年研究、実践されてきた TLP (Transmission Line Pulsing Method) 測定により抽出される ESD パラメータからの ESD 保護設計手法における、ESD パラメータ抽出方法について検討する。

1. はじめに

半導体デバイスは、開発当初から静電気放電(ESD: Electro-Static-Discharge)が原因となったノイズ、サージ流入によって損傷、誤動作など障害を発生する。一方、半導体デバイスは、常に高速化、低電力化、高信頼性化などの性能向上を求められ、微細化技術の向上により高集積化を実現してきた。結果 ESD 保護回路の完備、組立ラインの静電気対策強化にもかかわらず、ESD 障害発生を完全に防止できない状況で今日に至っている。何年かおきに発生する古くて新しい障害である。近年、携帯電話、液晶テレビ等に搭載される集積回路のように、機器の高速化、低消費電力化、高耐圧化、高信頼性化要求に対応するため、新たなデバイス構造が採用されてきた。しかし、これらの構造は ESD に対し非常に脆弱であり、従来の ESD 保護設計では対応できなくなってきた。そこで、新たな ESD 保護設計手法が求められ、検討、実践されてきた。ここでは、新たな ESD 保護設計手法を実現するために最も重要な、ESD-event 動作特性(ESD パラメータ)抽出方法における問題、課題

を検討をした。

2. 半導体デバイスの ESD 損傷

半導体デバイスの ESD 損傷モデルは、大きく 3 つに分類される。(表 1 参照) ①外部の静電気帯電(導体)物体からのデバイス端子への ESD サージ流入によるデバイス損傷、②デバイスが静電気帯電或いは電位誘導し、端子から外部導体へ ESD サージを放出、デバイスが損傷、③デバイス周囲の急激な電場変化によるデバイス損傷である。図 1 は、①の代表格である人体帯電モデル(HBM: Human Body Model)の概要及び等価回路を示し、人体等価容量として 100pF の容量に蓄えられた電荷を、1.5kΩの放電抵抗を介してデバイス端子へ放出することで適切な再現実験が出来るとされている。IEC/JEITA/ JEDEC 等公的規格^(*)における短絡負荷条件の規定放電電流波形では、放電経路にて構成される L(インダクタンス)によって放電電流の立上り時間 t_r は 2~10nsec 程度とデバイス内に搭載されているブレークダウン型保護素子でも十分応答できるような放電電流波形であることが特徴である。一方、②のデバイス帯電モデル(CDM: Charged Device

Model)のESD現象は、写真1に示される放電電流波形は、立上り時間 t_r が 200psec 未満と非常に速いサージ電流がデバイスに流れ込む現象である。これは放電経路が非常に小さいためである。近年の半導体デバイス組立工程におけるESD損傷は、工程の自動化、人体静電気管理対策の普及によって、HBM損傷からCDM損傷へ移っている。

- ① 外部静電気帯電物体からのESD損傷
HBM/MM
- ② デバイス帯電・誘導によるESD損傷
FICDM (CPM)/D-CDM
- ③ 周囲の電場変化によるESD損傷
FIM

表1 半導体デバイスのESD損傷モデル

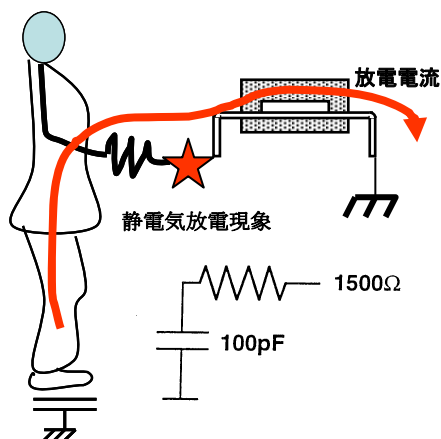
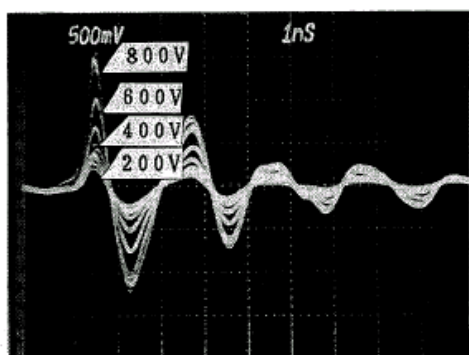


図1 人体帯電モデル：HBMと等価回路



立上り時間 (t_r) < 200psec

写真1 短絡負荷 CPM 試験放電電流波形

しかしながら、近年の性能向上のために採用されてきたデバイス構造は、まずHBM耐性を極端に低下させてしまった。そこで、デバイス構造の変化に影響さ

れやすいHBM保護回路設計について述べる。

3. ESDパラメータを用いた保護設計手法

一般には半導体デバイスにおいて内部搭載するESD保護回路は、静電気管理されている組立工程において各種ESD損傷が発生しないように設置されているものである。また従来はダイオードのブレークダウン特性、あるいはGGNMOS保護素子(Gate Grounded Ntype Metal Oxide Semiconductor)のストップバック特性を用い、流入ESDサージを通過させる保護素子を一般的に使用されていた。しかしながら、集積度向上に伴い、デバイス動作中の信頼性確保のために導入されたLDD(Lightly Doped Drain)トランジスタ構造などはESDサージに対し、サイドウォール界面へのキャリア注入現象などが発生、従来のESD耐性確保設計が困難になる。そこでオフセット構造トランジスタのような特殊なESD保護素子を用いるか、As-P多重拡散LDD構造トランジスタのように入出力端子などに限定し素子構造自体を改良するようなことが実施された。^(*)さらに高速化、低消費化、高耐圧混載などの性能向上要求に対応し、新たなデバイス構造素子が検討されてきた。例えばササイド構造トランジスタ、SOI(Silicon On Insulator)構造トランジスタ、LDMOS(Lateral Diffusion MOS)構造トランジスタなどである。しかしながらこれらのデバイス構造素子は、ESDに対し非常に脆弱な構造であることが確認され、これらを用いた性能向上を実現するためには、新たなESD保護設計手法が必要となった。写真2は高速、低消費デバイスを実現するためのFD-SOI(Fully Depleted Silicon on Insulator)構造デバイス断面図である。動作素子領域のSOI層は、非常に薄いことが確認される。これは完全空乏化することによって低電圧動作が可能となるためであり、また周囲が酸化膜に覆われ、Si支持基板からも埋込酸化膜にて分離されているのは素子寄生容量を低減させることによって高速、低消費性能を実現するためである。しかし、これらの構造は、ESDサージが流入し、ブレークダウンすると、周囲は酸化膜に

覆われているため、発熱した熱は殆ど周囲に逃げず、シリコン融点に達し、SOI 層が非常に薄いため溶断現象にて損傷する。一方、SOI 層を厚くすることによって ESD 耐性を向上させようとするれば、上記性能が確保できなくなる。

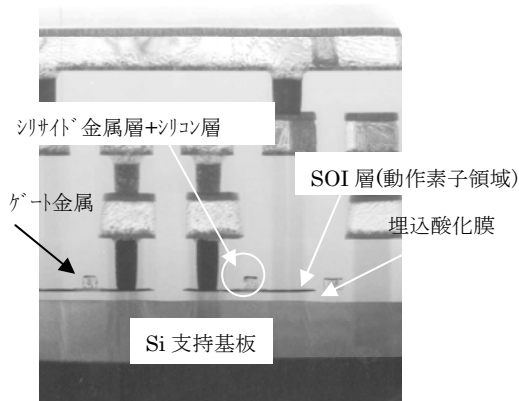


写真 2 FD-SOI 構造デバイス断面図

従来のように素子面積を増大するとかの方法ではブレイクダウンしたら破壊するような素子であるため対策案として成立せず、また素子構造変更によって ESD 耐性向上を検討するような方法では性能が出なくなってしまう。そこで、電源間保護(Power Clamp)デバイス、R-C タイマ回路、C-C タイマ回路(図 2 参照)、GCNMOS(Gate Control Ntype Metal Oxide Semiconductor)回路などを採用することによって、ESD サージが各素子の ON 電流あるいは順方向電流として通過するような ESD サージ通過パス

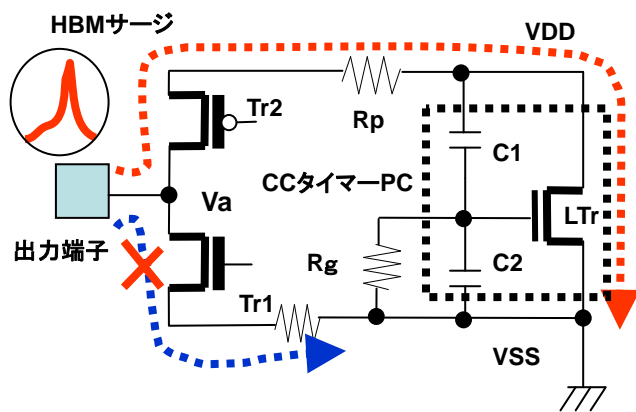


図 2 C-C タイマ PC 搭載 ESD 保護回路網

を設計する手法がとられるようになった。^{(*)2}つまり保護されるべき素子がブレイクダウンしないように或いは損傷しないブレイクダウン状態、ストップバック状態で

動作するように ESD サージ経路を設計する方法である。この設計手法を実施するためには、各素子の ESD-event 時での動作 IV 特性を正確に測定、抽出する必要がある。この測定手法は、TDR-TLP(Time Domain Reflection Transmission Line Pulsing Method)を用い、各素子 ESD-event 特性を ESD パラメータと名付ける。ESD パラメータを用いて上記 ESD サージ経路を保護回路ネットワークとして設計する手法である。従って、ESD パラメータを抽出する方法が最も重要になってくるので、以下に検討する。

4. ESD パラメータ抽出

4-1. TDR-TLP 測定原理

ESD パラメータ抽出方法で、主に用いられている手法は、TDR-TLP 測定法である。TDR-TLP 測定法は、測定素子に矩形波を入力し、そのときの測定素子の電圧・電流波形をオシロスコープで観測し、素子の特性を得る方法である。

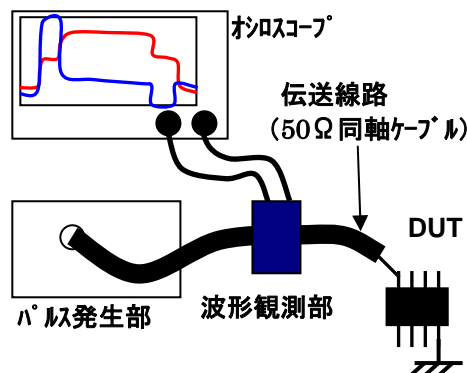


図 3 TDR-TLP 装置構成

矩形波は、パルス発生部より出力され、伝送線路を通して、DUT に入力される。このとき、電圧・電流波形は、「測定素子-パルス発生部」の間で、観測される。波形観測部では、パルス発生部から出力された矩形波が波形観測部を通過し、その後 DUT 部まで達する。そのときの波形観測部を通過する波形は、矩形波(入射波)で観測される。その後、DUT 部と伝送線路のインピーダンスミスマッチングが発生している場合、DUT 部で消費し切れなかったエネルギーが反射波として、波形観測部を通過する。波形観測部では、入射波と反射波が合成されてオシロスコープで観測されるが、

合成された部分が、DUT 部の過渡現象として観測される。この合成された部分の波形を平均化した値を I/V 曲線としてプロットし、その曲線が、素子の ESD-Event 動作特性として、抽出される。

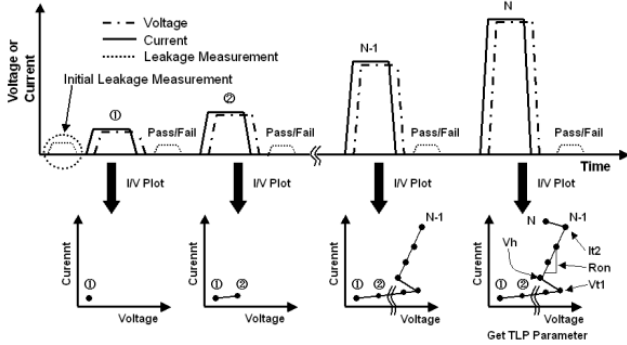


図 4 TDR-TLP における I/V カーブプロット

4-2. Calibration 手法と ESD パラメータ抽出

-短絡抵抗、開放リク測定からの測定値変換

--直線補完・逐次補完法による相違(低抵抗領域における問題点)

TDR-TLP 測定方法を使用して、ESD-Event 動作特性を抽出する際に、Calibration(キャリブレーション)を正確に設定する必要がある(*3)。通常、TDR-TLP 装置において、伝送線路や測定系などに寄生する抵抗や、容量等が存在しており、素子の測定結果には、これらの値が含まれている。そのため、素子の測定結果より、装置の寄生の抵抗・容量等、あらかじめ把握したものを、キャリブレーション値とし、それらの値を、素子の測定結果より、キャンセルする必要がある。キャリブレーションの方法としては、主に、DUT 部を短絡させ、そのときの抵抗値(電圧)を測定結果に反映させることと、DUT 部を開放にして、容量分(漏れ電流)をキャンセルすることが、行われる。

このとき、装置の寄生抵抗・容量は、伝送線路上の部品特性や、オシロスコープのレンジ切り替えの影響により、全測定レンジにおいて、一定ではありません。DUT 短絡時のキャリブレーションについては、低抵抗値を補正するときは、特に影響が大きく見える。そのため、短絡時のキャリブレーションデータにおいて、素子の測定結果への影響を取り除くための手法として、逐次補完による、キャリブレーションが有効であると考えられる。

逐次補完とは、部品特性が変化するところや、オシロスコープのレンジが切り替わるところでの電圧・電流のエリアを決め、そのエリアごとにキャリブレーション値を持ち、測定結果に反映させる方法である。それにたいし、直線補完とは、短絡キャリブレーション測定時に得られた I/V カーブより、補完値をひとつの値として、測定結果に反映させる方法である。図 5 に逐次補完と、直線補完の比較データを示します。直線補完のデータを検証すると、0~0.5A、0.5A~1.4A、1.4A 以上のところで、変曲点が、発生している。

このエリアで、装置内部部品の特性、あるいは、短絡モジュールへの接触抵抗、オシロスコープのレンジが切り替わったところであると、考える。もともとの短絡時の測定結果としては、平均値として、約 1~2Ω の間で寄生抵抗が発生しており、この平均値を用いているため、これらの変曲点には、対応されていない。

対して、逐次補完については、直線補完時の変曲点は、発生しておらず、ほぼ 0Ω として補完されている。

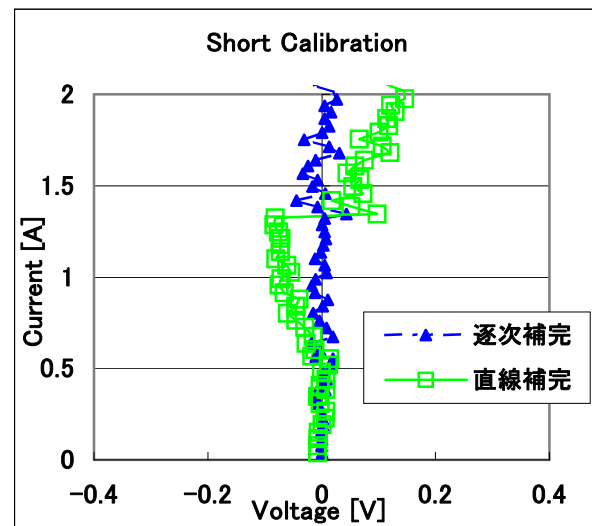


図 5 キャリブレーション方法の違いによる Short 素子の測定データ比較

上記は、キャリブレーション短絡時のみであるが、DUT 部開放時においても同様の現象が発生し、逐次補完を採用することで、Short 時と同様の問題が解消できる。

このように、逐次補完を用いることは、測定精度

を求めめる上では、有効な手段であると、考えられる。しかしながら、注意すべき点がある。短絡補正の測定時に、短絡素子と装置からの接続部、すなわち、素子のパッドとエードルの、コンタクト状態を良くしておく必要がある。コンタクト不良を起こした状態でのキャリブレーション測定を行った場合、測定結果に大きな影響を、及ぼす。通常、短絡測定時には、装置の影響で寄生抵抗値が一定では無いものの、おおよそ平均値から近い値にある。コンタクト不良を起こしている場合は、低電流域において、寄生抵抗値が平均値とはかけ離れた値になる場合がある。コンタクト不良が起こっている場合でも、短絡素子に電流を多く流すと、コンタクト状態が良くなり、抵抗値が低くなる。そのような状況が起こった場合の測定結果は、低電流域では、寄生抵抗値を大きく引きすぎ、負性方向へ、コンタクト状態がよくなった電流領域から、変曲点が発生し、本来の素子の特性が見えない結果となる。

図 6 に、キャリブレーション測定時に、コンタクト不良が発生したときの、素子の測定結果を示す。

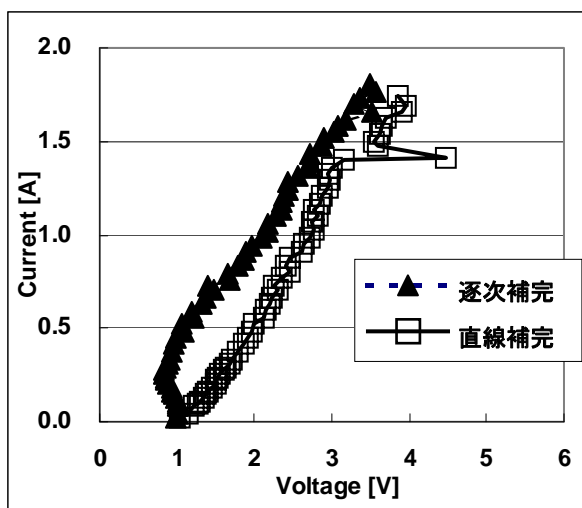


図 6 逐次補完における測定エラー結果

図 6 に示されている素子はダイオードであり、直線補完のデータが正しい結果である。逐次補完のデータは、0~0.2A まで、負性抵抗を示しており、0.2A 以上の電流域においては、若干の違いはあるが、I/V カーブ傾き、すなわち抵抗値があってきている。

このような結果になった原因は、この測定結果に使用した短絡キャリブレーション測定に問題がある 0.2A ま

ではコンタクト不良が発生し、大きな抵抗として得られており、その後、電流が流れ出した影響で、コンタクト状態がよくなり、通常の短絡測定状態に戻っている。そのためキャリブレーション値を反映した測定データは、0~0.2A 付近までは、素子本来の電圧値よりも多く引き算されて負性抵抗として得られ、0.2A 以上では、おおよそ同じ傾きとして反映されている。

このような測定エラーが発生しないよう、キャリブレーション値が正しいかどうか注意する必要がある。

今回の測定エラー結果は、逐次補完についてであるが、直線補完においても逐次補完ほどではないが、測定エラーは発生する。直線補完の場合、全エリアにおいてキャリブレーション値が平均化されるため、抵抗値が大きくなっていくエリアがあると、平均値としても大きく出るため、本来の補完値よりも多く引きすぎてしまう。いずれにしても、逐次・直線補完共に、キャリブレーション値は、正しいかどうかチェック必要である。

5. Location 解析効果と今後の解析手法

図 7 には、N 型 MOS トランジスタの逆方向特性において、ESD パラメータ抽出する TDR-TLP 電圧、電流の観測位置(Location)による ESD-Event 動作 I-V 特性の依存性を示す。これによれば、ブレイクダウン発生直後の特性において抽出した ESD パラメータは、ブレイクダウン発生後、20nsec 以降の特性において抽出したものに対し、ストップバック抵抗が非常に高くなっていることが確認される。一般には ESD パラメータ抽出 Location 位置は、波形が安定したところを前提としているため、ブレイクダウン発生、ストップバック動作が安定した領域、即ち TDR-TLP 測定の反射波発生からかなり時間を取った領域での動作 I-V 特性を ESD パラメータとして抽出している。(図 7 : B~D の領域)しかしながら、ブレイクダウン直後の動作 IV 特性が安定領域特性と比較して、ストップバック抵抗が非常に大きい図 7 のような動作 IV 特性を持つ素子の場合、安定領域特性から抽出した ESD パラメータにおいて ESD 保護回路網を設計することは非常に危険なことになる。図 7 は、GGNMOS トランジスタを用いた ESD 入力保護回路であ

る。図 7 の B~D の領域からの ESD パラメータを用いれば、図 8 の入力保護回路に HBM=2kV のサージが流入しても、ESD 保護素子である GGNMOS トランジスタは破壊せず、また、入力トランジスタのゲート電圧も 15Vmax 程度(V_{t1})にしか上昇しないので、破壊しないように設計されているということになる。しかし、GGNMOS トランジスタがブレイクダウン直後の A 領域における動作 IV 特性からの ESD パラメータを用いると、同様に HBM=2kV のサージ流入において、入力トランジスタのゲート電圧は約 20V 程度まで上昇することになる。これは ESD 保護回路として機能しなくなる可能性も秘めているため、ESD パラメータを抽出する Location 解析は非常に重要になってくる場合がある。逆にこの Location 解析手法を用いて ESD サージに対する応答特性を評価することも可能である。

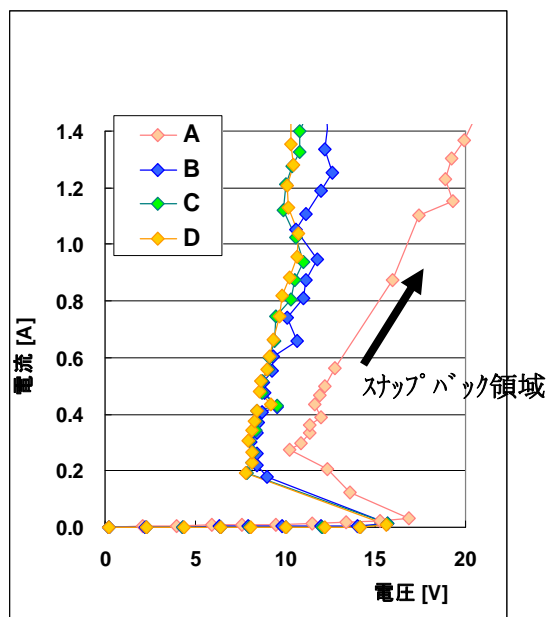


図 7 NMOS 逆方向特性の抽出 Location による ESD パラメータ比較

- A : ブレイクダウン発生直後の動作 IV 特性
- B : 20~30nsec 後の動作 IV 特性
- C : 30~40nsec 後の動作 IV 特性
- D : 40~50nsec 後の動作 IV 特性

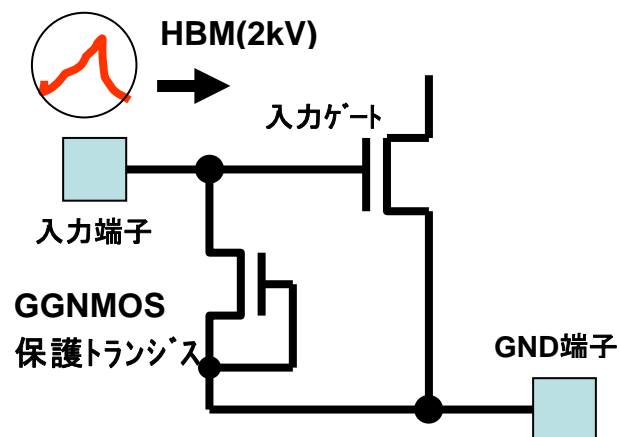


図 8 ESD 保護回路例

6. まとめ

今後、ESD パラメータを用いた ESD 保護設計手法が一般的となってゆくものと思われる。そこで、ESD パラメータを抽出する測定方法、手法が、パラメータの使用目的に合致したものでないと、意味をなさなくなる。結局、ESD 保護設計を実施する素材の物理特性をよく把握した上で、最適な抽出を実施することが必要になってくる。ここでは述べなかったが、今後、重要となってくる CDM 耐性設計における ESD パラメータ抽出、ESD モデリング、等価回路などへ展開してゆく必要がある。

参考文献

1. "Improvement of "Soft Breakdown" Leakage of off-State nMOSFETs Induced by HBM ESD Events Using Drain Engineering for LDD Structure", I. Kurachi and Y. Fukuda, IEICE Trans. Fundamentals. Vol. E77-A, No1 January,1994.
- 2."ESD 保護設計手法トレンド",福田保裕、市川憲治, 第 17 回 EOS/ESD/EMC シンポジウム 17E-04, 11 月,2007.
3. "TLP のキャリブレーションの問題点に関する考察", 鈴木輝夫 et al. 第 17 回 EOS/ESD/EMC シンポジウム 17E-03,11 月,2007.