

静電気保護回路設計手法の開発

馬場 俊祐
市川 憲治

黒田 俊一
加藤 且宏

半導体製造プロセスの微細化に伴い、LSIの静電気放電(ESD: Electro-Static Discharge)対策はますます重要になっている。LSIやICなどの半導体デバイスには通常、ESDにより発生した高電圧パルス(ESDサージ)から内部回路を保護するESD保護回路が組み込まれている。

LSIのコストはチップ面積に比例するため、面積の小さいESD保護回路が必要となるが、微細化に伴うMOSFETのゲート酸化膜の薄膜化はESD耐性を弱める。そのためESD保護回路の単純な縮小化は難しい。保護回路を小さくするには、ESDサージを回路のネットワークを利用して逃がす必要があり、LSIの設計段階でESD保護回路を含めた回路方式の検討が必要となる。

また従来、ESD保護回路の耐性評価は、LSIの商品開発工程の下流において、実チップを用いて実施されている。ESD保護耐性の未達による開発手戻りは、開発コストの増大および、開発遅れによる機会損失の原因となる。上流工程の設計段階でESD耐性の検証ができればLSIの開発リスクを低減させることができる。

以上の背景のもとに、LSIの回路設計段階においてESD保護回路を高精度に設計・検証するための回路モデルの構築手法を開発した。本稿では、その考え方を述べるとともに適用事例を紹介する。

ESD保護素子のモデル化手法

ESDによる素子のブレイクダウン現象を回路シミュレーションで再現するには、素子内部の寄生素子を等価回路として表現し、その回路定数を決定する必要がある。

しかし、シリコン上に形成される素子の電流分布は深さ方向に3次元的な広がりを持つため、素子構造に応じた等価回路モデルを構築する必要がある。そこで半導体プロセス・デバイスシミュレーション(TCAD: Technology Computer Aided Design)結果から素子の等価回路モデルを構築した^{1) 2) 3) 4) 5) 6)}。開発した手法の構成を図1に示す。TCADを用いることで、素子内部に流れる電流分布を把握でき、その結果から回路シミュレーションに必要な等価回路モデルを構築できる。ただし、TCADの予測精度を高めるには、シミュレータ内の物理モデルを補

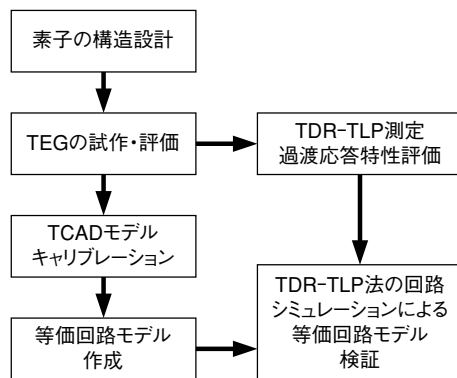


図1 ESD保護素子のモデル化手法

正する必要がある。そこで、寸法、構造に水準を持たせた評価素子を試作し、その特性より物理モデルを補正する^{2) 4)}。

また、回路シミュレーションによりTDR-TLP法を再現し、TCADより決定した等価回路モデルを検証する方法を開発した。ここで、TDR-TLP(Time Domain Refraction Transmission Line Pulsing)法とは、同軸ケーブルに蓄えた電荷を矩形波として対象素子に印加し、その反射波より対象素子のインピーダンスを測定する方法である³⁾。TDR-TLP法を再現することで、寄生素子の回路モデルを正確に構築できる。

図2に、TDR-TLP法より決定した回路モデルを用いて

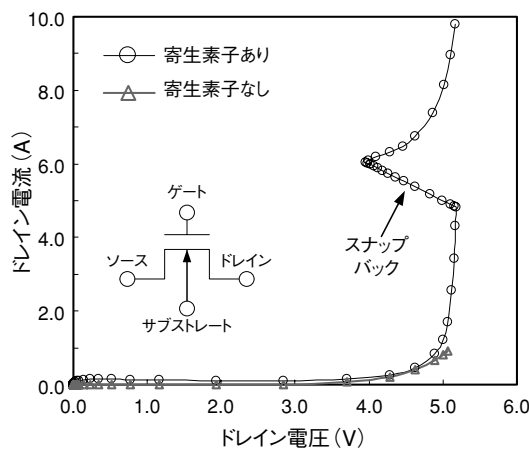


図2 ESD保護素子のスナップバック特性

シミュレーションした保護トランジスタの電流-電圧特性を示す。MOSFETの寄生素子を考慮することで、ブレークダウン現象として現れるスナップバック特性を高精度に表現できる。

ESD保護回路の最適化設計

GGnMOS-Tr(Gate Grounded n型MOSFET 保護トランジスタ)は、MOSEFTのスナップバック動作を利用し、印加されたHBMサージをグランドに放出する保護回路として利用されている。しかし、MOSFETがブレークダウンする時間より短いCDMサージが印加されると、保護素子として機能せず、内部回路を破壊することが知られている⁶⁾。

ここで、HBM(Human Body Model)は、放電する静電気帯電物体がデバイスを取り扱う人体である場合のESDモデルである。図3(A)にHBMの放電波形を示す。また、CDM(Charged Device Model)はデバイスが直接または間接的に静電気帯電し、静電誘導した端子から外部導体への静電気放電によりデバイスが損傷するESDモデルの総称である。CDMの放電波形を図3(B)に示す。CDMはHBMに比べると放電時間が非常に短い特性をもつ。

ここでは以下に、決定した等価回路モデルを用いて構

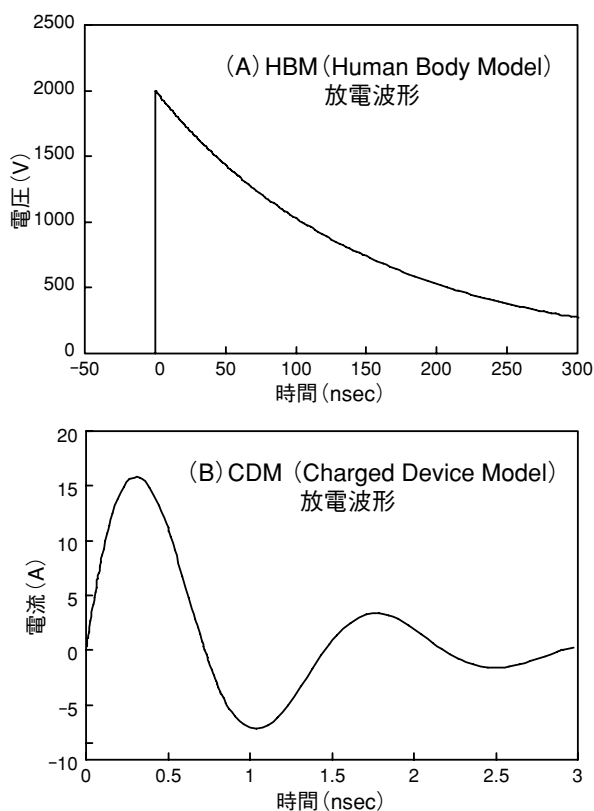


図3 ESDモデルの放電波形

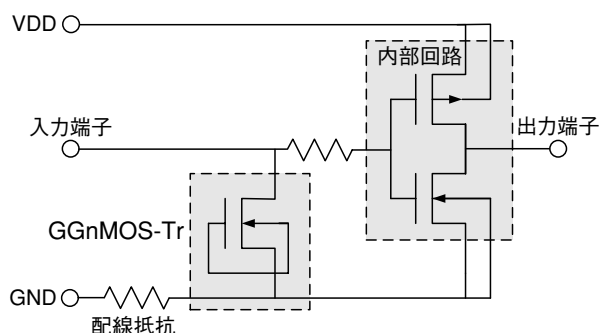


図4 解析対象とした回路

成したGGnMOS-Trに、HBMおよびCDMサージを印加した場合の回路シミュレーションによる解析結果を述べ、CDMサージに対する対応策について考察する。

図4に、GGnMOS-Trで構成される保護回路とインバータ1段の内部回路で構成される、解析対象とした回路図を示す。この回路図の入力端子より、図3(A)のHBMサージを印加した場合の回路シミュレーション結果を図5(A)~図5(C)に示す。図5(A)に示すように、入力端子に加わったHBMサージはGGnMOS-Trの働きによりGND側に放出され、内部回路のゲート電極に印加される電圧は酸化膜の絶縁耐圧以下に減衰し、保護回路として有効に機能することがわかる。ここで、GGnMOS-Trがスナップバックを起すまでの電流の時間変化を図5(B)、電極の電位の時間変化を図5(C)に示す。HBMサージが入力端子に印加されると、最初にGGnMOS-Trを構成する寄生素子に過渡的な電流①が流れ、ゲート電極の電位④を上昇させる。次に、0.1nsec程度経過するとMOSFETのチャンネル部に電流②が流れ始める。チャンネル電流はMOSFETのドレイン近傍で衝突イオン化現象を引き起こし、発生した衝突イオン化電流がサブストレートに流れ、サブストレートの電位⑤を上昇させる。これは寄生バイポーラのベース電位に相当するため、1nsec程度経過後に、サブストレート電位⑤が0.6Vを越えると寄生バイポーラがオンし、寄生バイポーラ電流③が流れ、HBMサージをGNDへ逃がす。また、それに伴い、GGnMOS-Trのドレイン電極の電圧⑥が下がり、内部回路のゲート電極に印加される電圧は、HBMサージが印加された瞬間に上昇するが、寄生バイポーラがオンすることで下がり、GGnMOS-TrがESD保護回路として機能する様子がわかる。

次に、図4の回路の入力端子に、図3(B)に示すCDMサージを印加した場合の、GGnMOS-Tr内の電流・電圧の時間変化を図6(A)に示す。CDMサージが入力端子に印加されると、まずGGnMOS-Trを構成する寄生素子に過

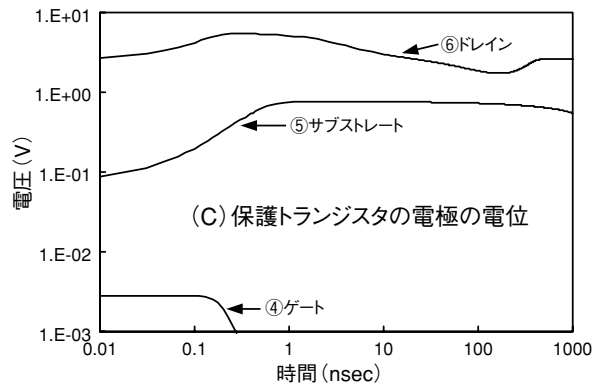
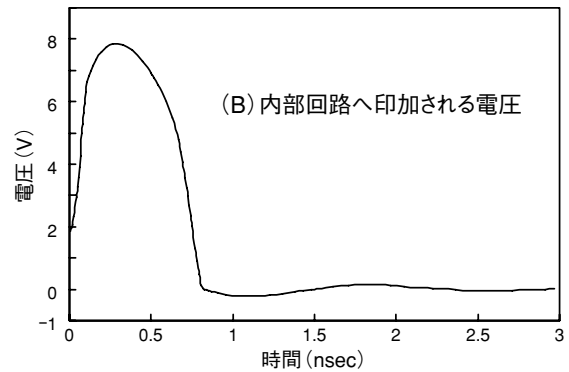
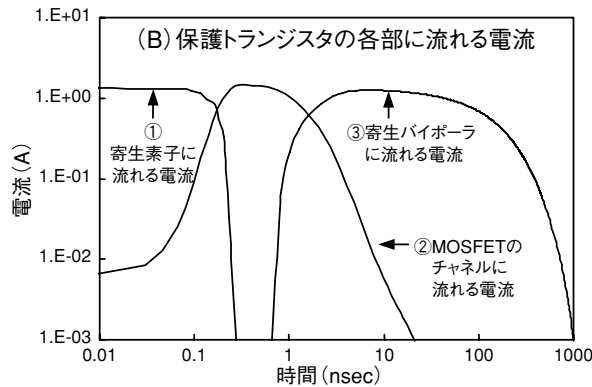
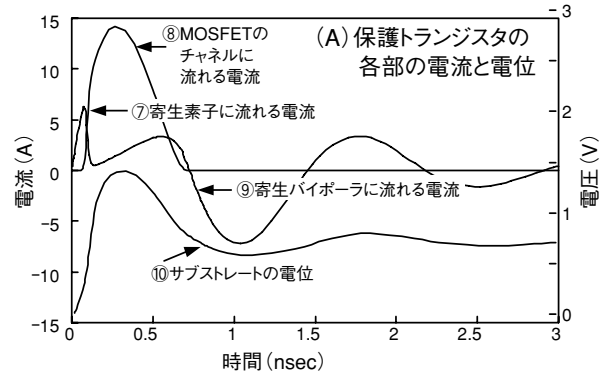
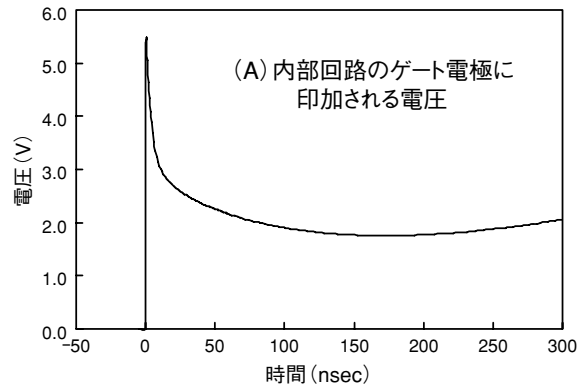


図6 CDMサージ印加時のトランジスタの内部状態

図5 HBMサージ印加時のトランジスタの内部状態

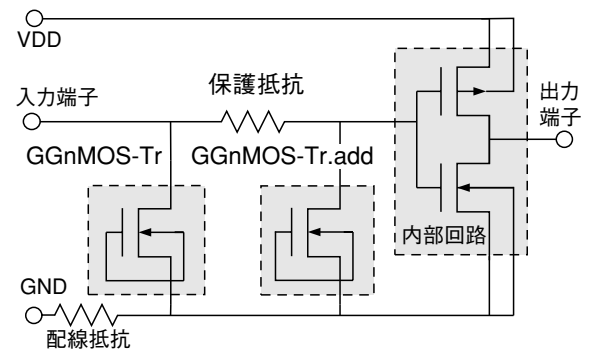


図7 CDMサージに対する改善策を施した回路

渡的な電流⑦が流れ、次にGGnMOS-TrのMOSEFETがオンしてチャンネルに電流⑧を流す。ここで、衝突イオン化電流が同時にサブストレートの電位⑩を上昇させ、 $\sim 0.3\text{ns}$ で寄生バイポーラがオンし始めるが、その時にはCDMサージの印加が終わる。そのため、寄生バイポーラが機能せずにサージの印加が終了する。印加されたCDMサージはMOSFETのチャンネル電流⑧だけでは十分に逃がすことができないため、内部回路のゲート電極に流れ込む。

その結果、図6(B)に示すように、内部回路のゲート電圧はCDMサージの波形に対応して高電圧(8V程度)に達し、内部回路のゲート酸化膜が破壊する。MOSFETがブ

レークダウンする時間より短いサージが印加されると、保護素子として機能せず、内部回路を破壊する様子をシミュレーションで確認することができた。

GGnMOS-Trを用いる場合のCDMサージに対する対応策として、図7に示す回路構成が有効である⁶⁾。図6(A)の寄生素子に流れる電流⑦の時間変化をみてわかるとおり、サージが加わると寄生素子の容量成分に過渡電流が流れる。そこで、この特性を利用して内部回路の前段に保護抵抗を配置し、保護抵抗と内部回路の間にGGnMOS-Tr.addを追加挿入することでローパスフィルタ回路を形成する

設計手法として、今後の展開が期待される。



参考文献

- 1) 梅村栄一, 加藤且宏, 福田保裕: 静電気耐性の設計評価技術, 沖テクニカルレビュー169号, Vol.63 No.1, pp.119-122, 1996年
- 2) 林洋一, 甲斐和彦, 福田浩一, 西謙二: インバースモデリング技術を用いたMOSFETチャネルプロファイル抽出法の開発, 沖テクニカルレビュー174号, Vol.64 No.2, pp.93-96, 1997年
- 3) 樋坂勝弘, 三浦規之, 福田浩一, 福田保裕: 先端デバイスにおけるESD保護素子評価手法, 沖テクニカルレビュー180号, Vol.66 No.1, pp.97-100, 1999年
- 4) 林洋一, 黒田俊一, 加藤且宏, 福田浩一, 馬場俊祐: Mixed-Modeシミュレーションを用いたESD保護設計手法の開発, 沖テクニカルレビュー203号, Vol.72 No.3, pp.56-59, 2005年
- 5) 今井康雄, 田中大起, 福田保裕, 矢部一博: 電子デバイス・モジュールの最新評価技術, OKIテクニカルレビュー216号, Vol.77 No.1, pp.48-51, 2010年
- 6) 福田保裕: 半導体デバイスの静電気保護, www.oeg.co.jp

筆者紹介

- 馬場俊祐: Shunsuke Baba. 沖エンジニアリング株式会社 デバイス評価事業部
黒田俊一: Toshikazu Kuroda. 沖エンジニアリング株式会社 事業支援部
市川憲治: Kenji Ichikawa. 沖エンジニアリング株式会社 デバイス評価事業部
加藤且宏: Katsuhiko Kato. 沖エンジニアリング株式会社 デバイス評価事業部

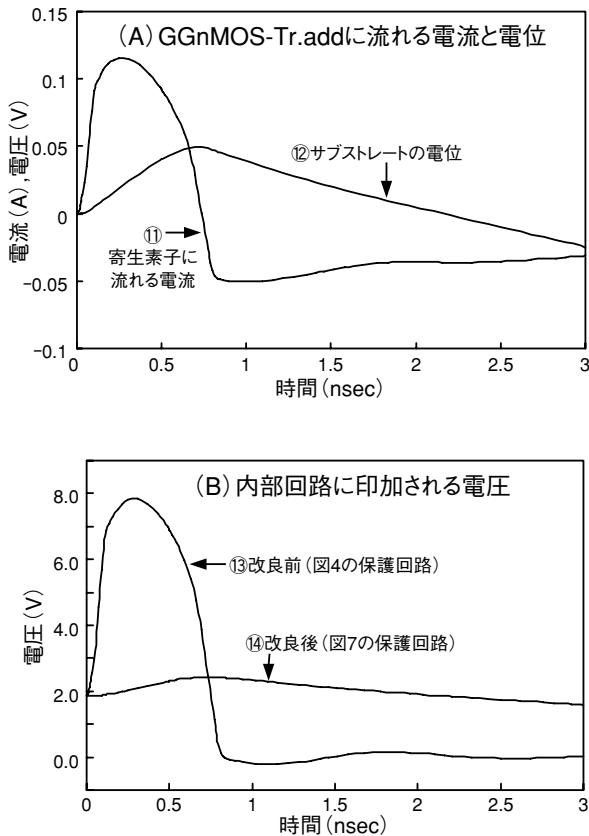


図8 CDMサージ印加時のトランジスタの内部状態

ことが解決策の一つとなる。

図8に図7に示す回路をシミュレーションした結果を示す。図8(A)の寄生素子に流れる電流⑪は、図8(B)のGGnMOS-Trのドレインにかかる電圧⑬に対応して流れ、ローパスフィルタが機能することで、内部回路に印加される電圧は図8(B)の電圧⑭になり、CDMサージの保護回路として機能することがわかる。

ここで注意すべきは、図7に示す保護抵抗とGGnMOS-Tr.addのトランジスタの大きさは、回路性能に影響を与える。そのため、保護回路シミュレーションにより、内部回路の動作を考慮しながら、最適な素子の組み合わせを選択することが必要である。

まとめ

ESD保護回路を、回路シミュレーションを用いて最適化設計をすることを目的とし、TDR-TLP法を用いた寄生素子の等価回路モデルを決定する手法を開発した。報告では、決定した等価回路モデルが、ESDサージを印加した時の保護素子の挙動を解析するのに有効であることを示した。特に保護回路シミュレーションは、回路の構成、最適化に有効であることを確認した。ESD保護回路の回路