

2008 OEGセミナー

車載電子部品における ESD・ラッチアップ試験の現状と実績

2008年 7月 8日

沖エンジニアリング株式会社

信頼性設計事業部

加藤 且宏

目次

1. 車載電子部品におけるESD・ラッチアップ試験の現状と課題
2. 評価・解析事例
3. 各試験への沖エンジニアリングの
適応状況
4. まとめ

1. 車載電子部品における ESD・ラッチアップ試験の 現状と課題

自動車のエレクトロニクス化の加速

従来: 制御系システム(主にマイコン) 現在~将来: 無線・画像・パワー系など多様化

エンジン・コントロール・ユニット
パワー・ウィンドウ
オートマチック・トランスミッション
パワー・ステアリング
アンチロック・ブレーキシステム
エアバッグ・システム

各種センサ・RF無線通信
インテリジェントパネル(カーナビからPCへ)
インバータ(電力制御)
路車間通信(オートクルーズ)



電子部品の信頼性が益々重要
→ 部品レベルでの信頼性の作り込み

静電破壊耐性・ラッチアップ耐性

自動車の電子化がキーテクノロジー

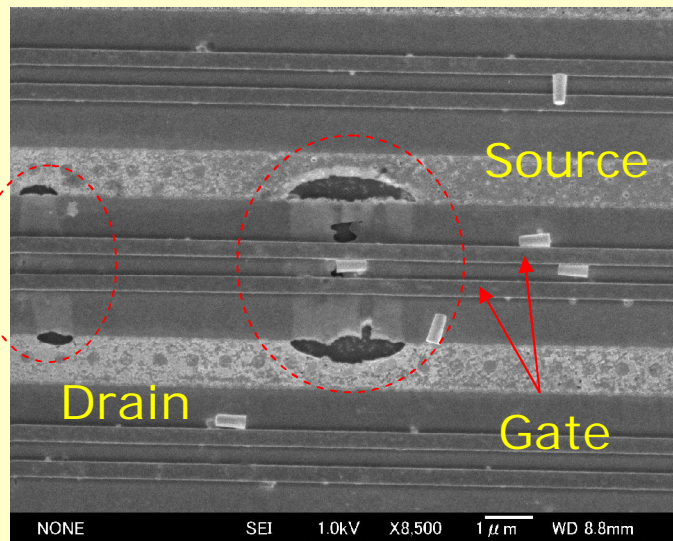
静電破壊とラッチアップ

静電破壊 (ESD: Electro-Static Discharge)

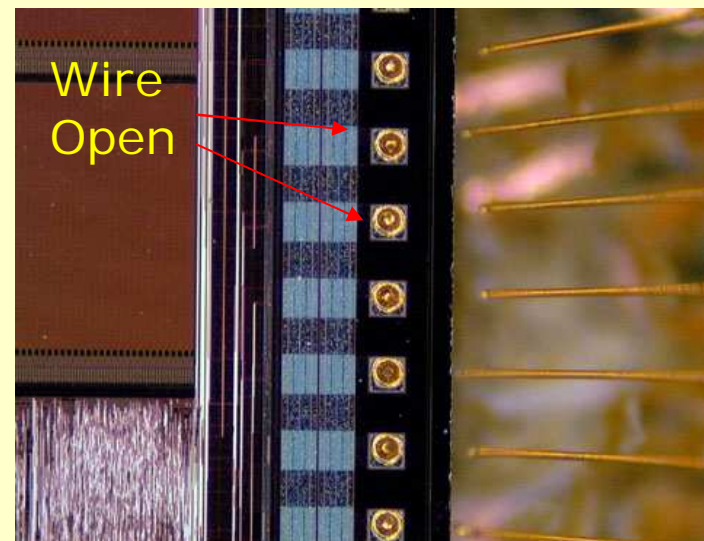
静電気放電によってデバイスが破壊される現象。

ラッチアップ (Latch-up)

CMOSデバイスの寄生サイリスタがターンオンし、電源—GND間に電流が流れ続ける現象 (デバイス破壊発生)

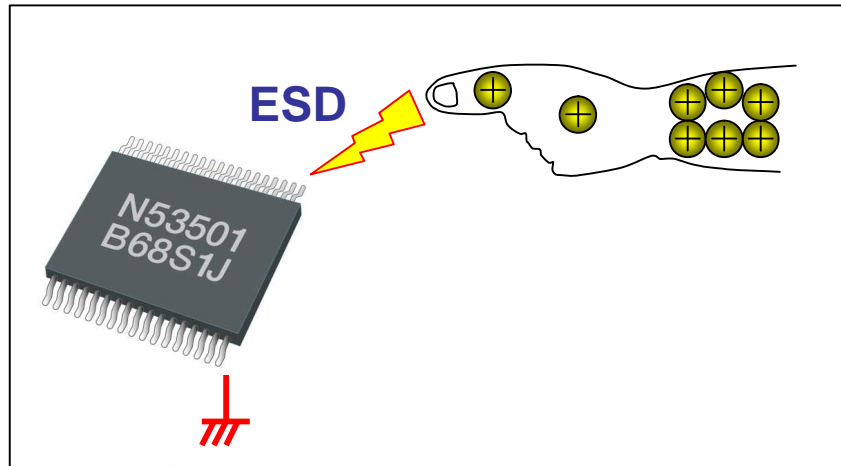


静電破壊の例



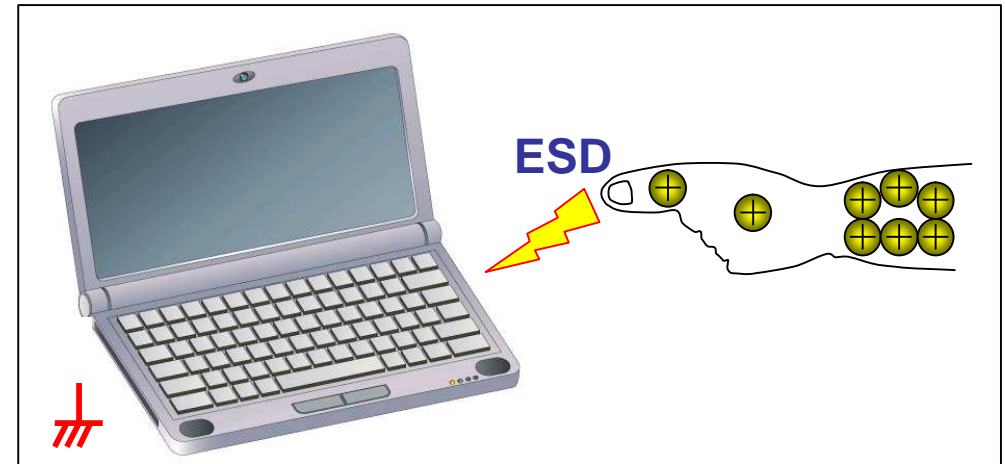
ラッチアップ破壊の例

静電破壊・ラッチアップ耐性の試験方法



コンポーネントレベル試験

- ・電子部品製造者が実施
(半導体・ディスクリート)
- ・デバイス単体の破壊(劣化)
耐性評価
- ・ESD試験とラッチアップ試験が
それぞれ存在



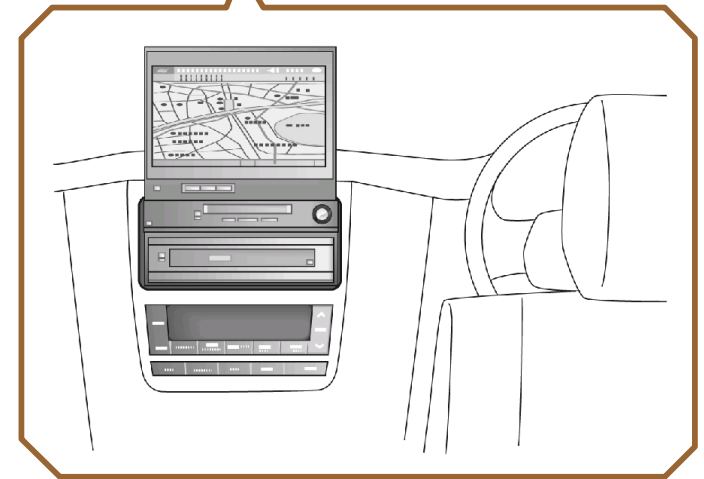
システムレベル試験

- ・システム製造者が実施
(電子部品ユーザ)
- ・システムの破壊(誤動作)
耐性評価
- ・破壊耐性がESD試験、
誤動作耐性がラッチアップ試験

ESD試験の現状と課題

同一名称で異なる試験規格

規格名 種類	コンポーネント(部品)ESD試験					システムESD試験	
	JEITA ED-4701	JEDEC JESD22	ESDA STM5.X	AEC- Q100	IEC- 60749	IEC- 61000-4-2	ISO- 10605
HBM							
MM	-					-	-
Direct-CDM		-				-	-
FI-CDM	-					-	-



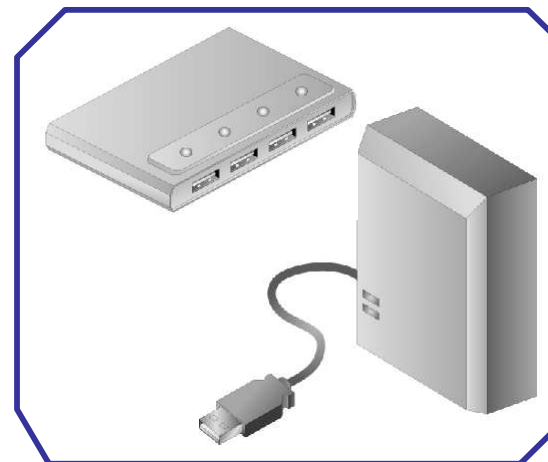
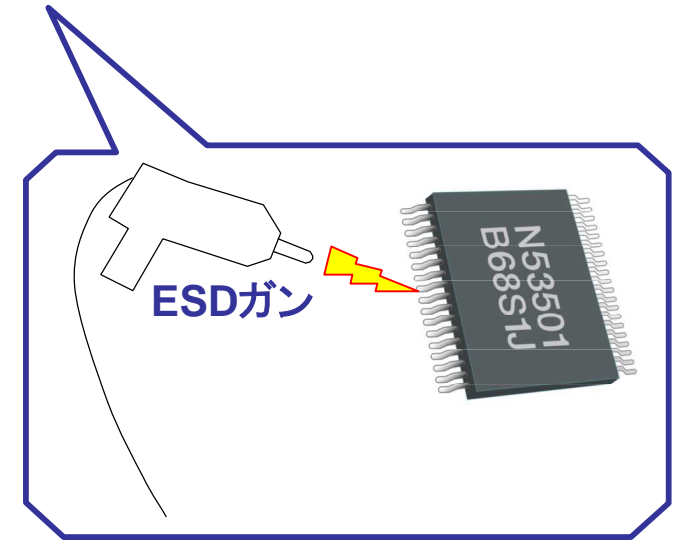
- ・部品ESD試験／システムESD試験
ともにHBM (Human Body Model)
- ・試験回路、強度分類が異なる
- ・システムESD試験の要求耐性を部品単体に求める傾向

部品(デバイス)メーカーの動向と環境変化

システムレベルESD試験規格への適合性をアピールする動き
(M社、N社ともに有力なAECメンバー)



システムの小型・軽量化
(ESDストレスの影響:大)

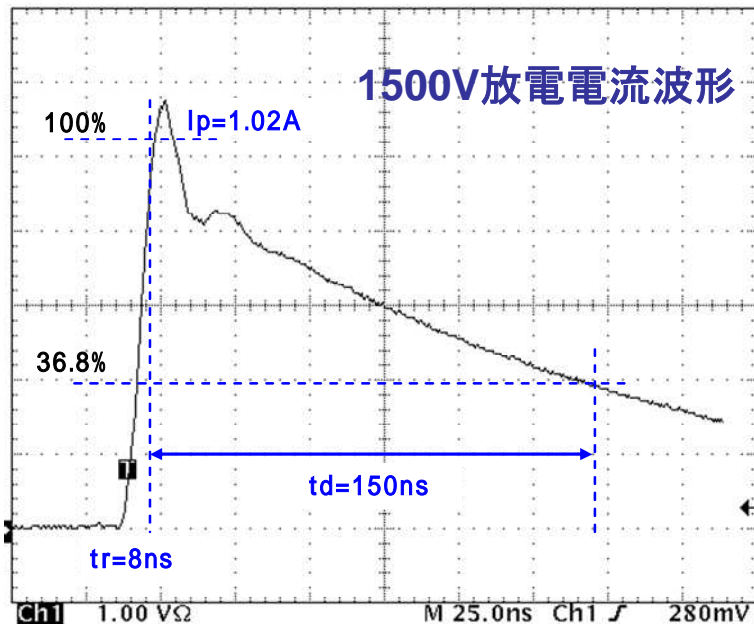
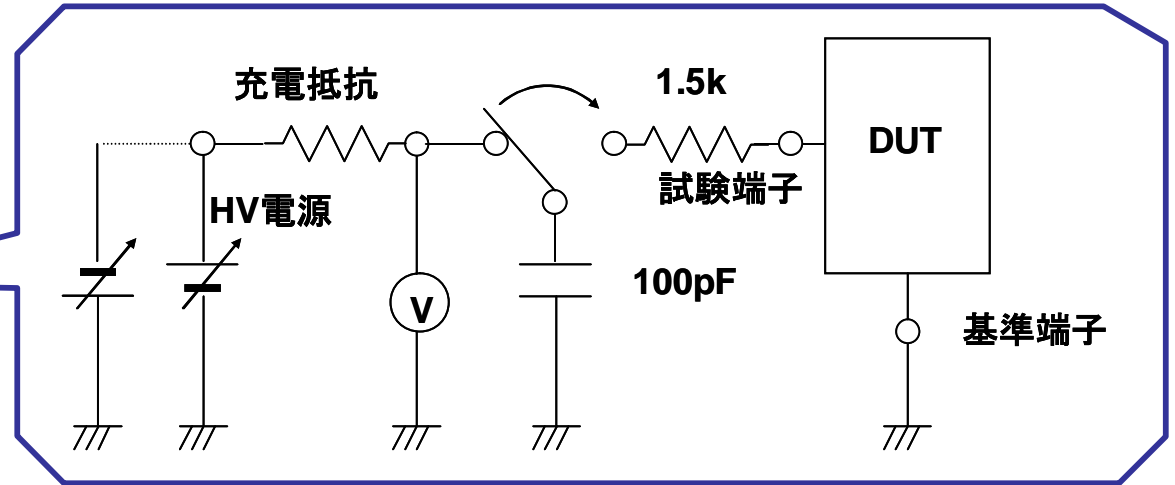
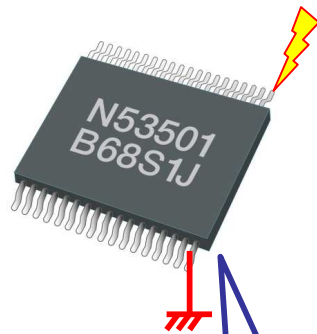


システムESD試験のストレスが部品単体へ
加わりやすいアプリケーション
(アンテナ端子、インターフェイス機器接続端子)

システムESD試験がデバイス単体の信頼性
でも差別化の要素になりつつある

部品ESD試験の放電回路と強度区分

部品ESD試験



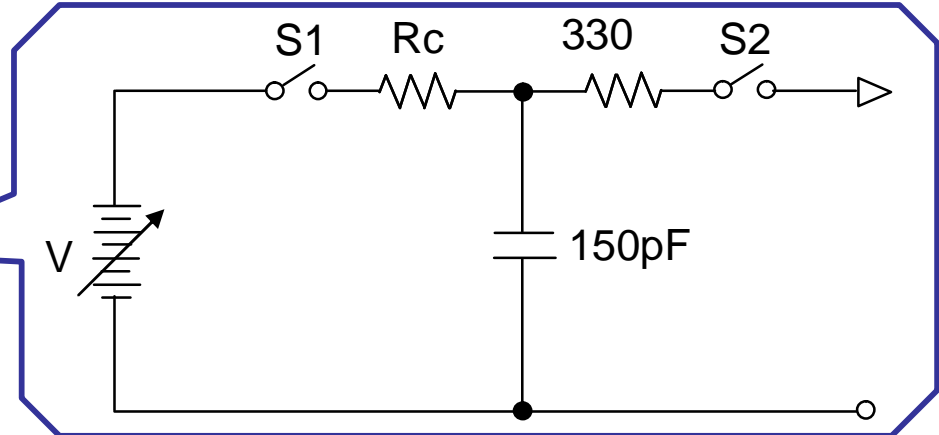
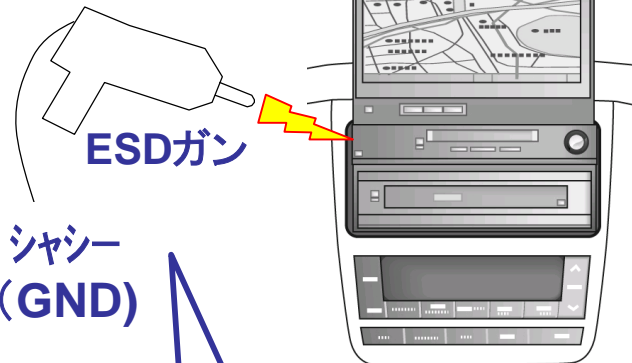
AEC-Q100 002 RevDの強度区分

H0	0~250V
H1A	251~500V
H1B	501~1000V
H1C	1001~1500V
	1501~2000V
H2	2001~4000V
H3A	4001~8000V
H3B	8001V以上

要求耐性>2kV ($I_{peak}: 1.33A$)

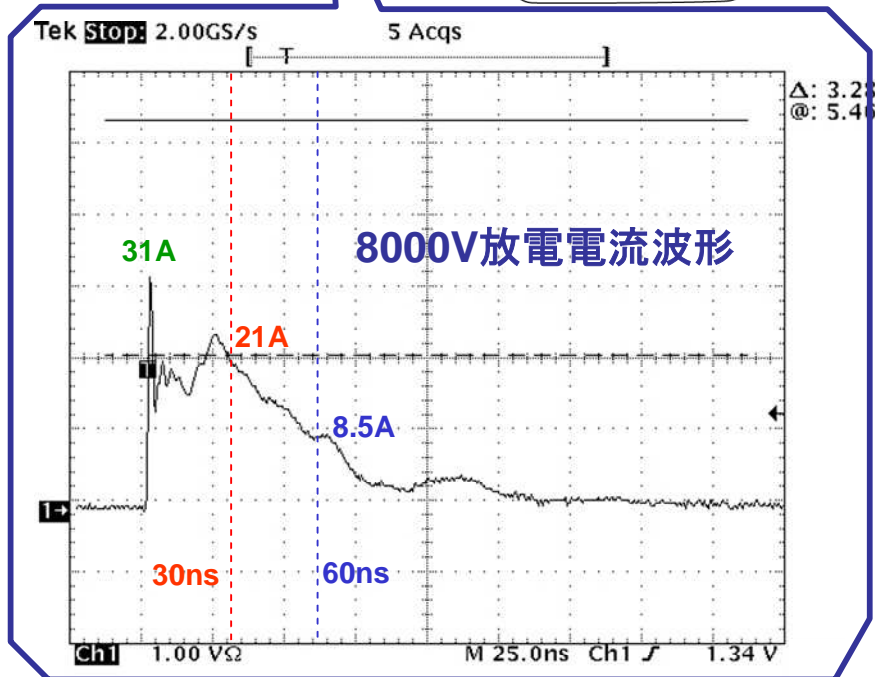
システムESD試験放電回路と強度区分

システムESD試験



IEC61000-4-2 強度区分

レベル	接触放電	気中放電
1	2kV	2kV
2	4kV	4kV
3	6kV	8kV
4	8kV	15kV
x	Special	Special



要求耐性 > 8kV (I_{peak}=30A)

部品ESD試験の約23倍

→ 筐体外部露出端子には必須要件？

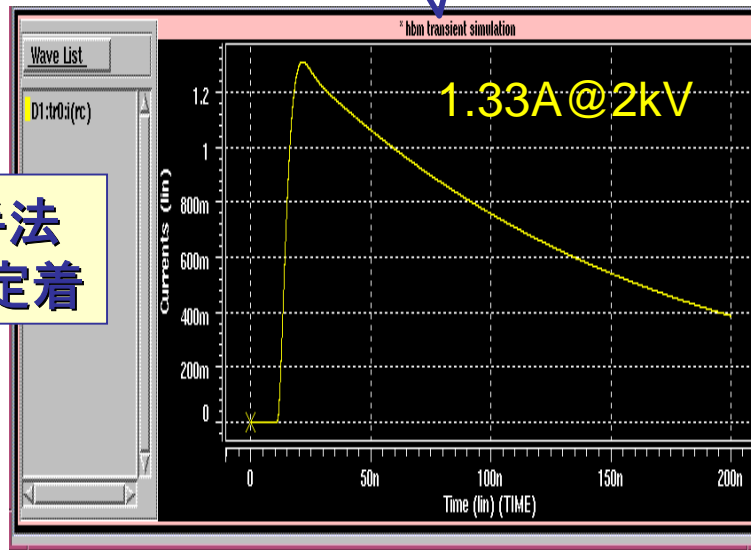
システムESD対応設計への SPICEシミュレーションの応用

電子部品の保護回路をSPICEシミュレーションを使って最適化する手法

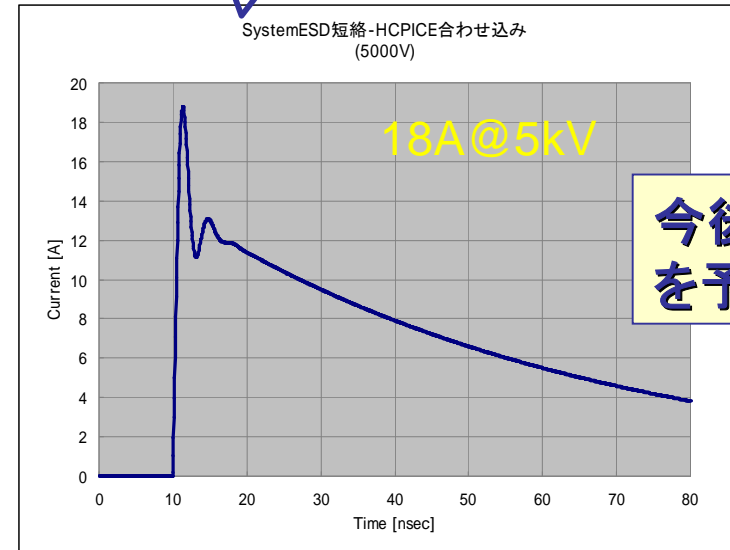
部品ESD試験対応保護
回路設計では一般化

システムESD試験対応保護回路
設計にも適用可能

設計手法
として定着



SPICE回路Sim.で再現させた部品
ESD試験放電電流波形



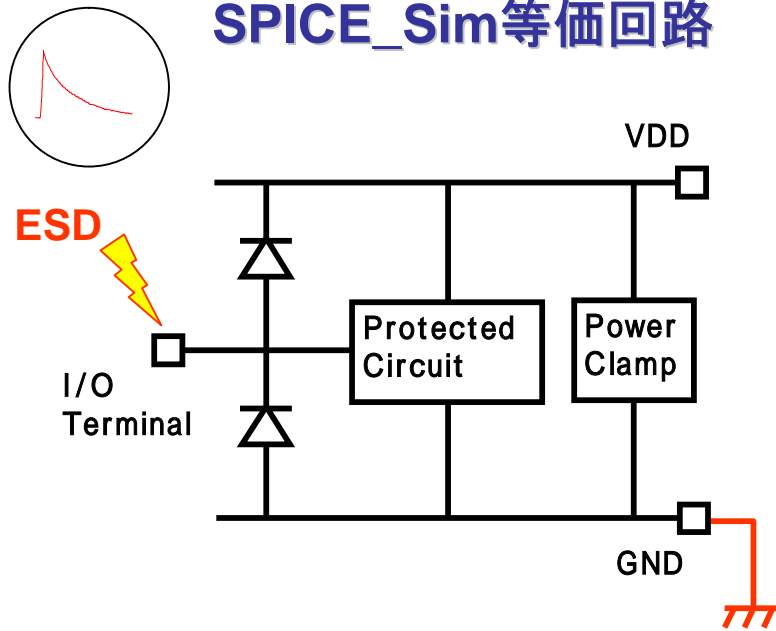
SPICE回路Sim.で再現させたシステ
ムESD試験放電電流波形

今後の展開
を予定

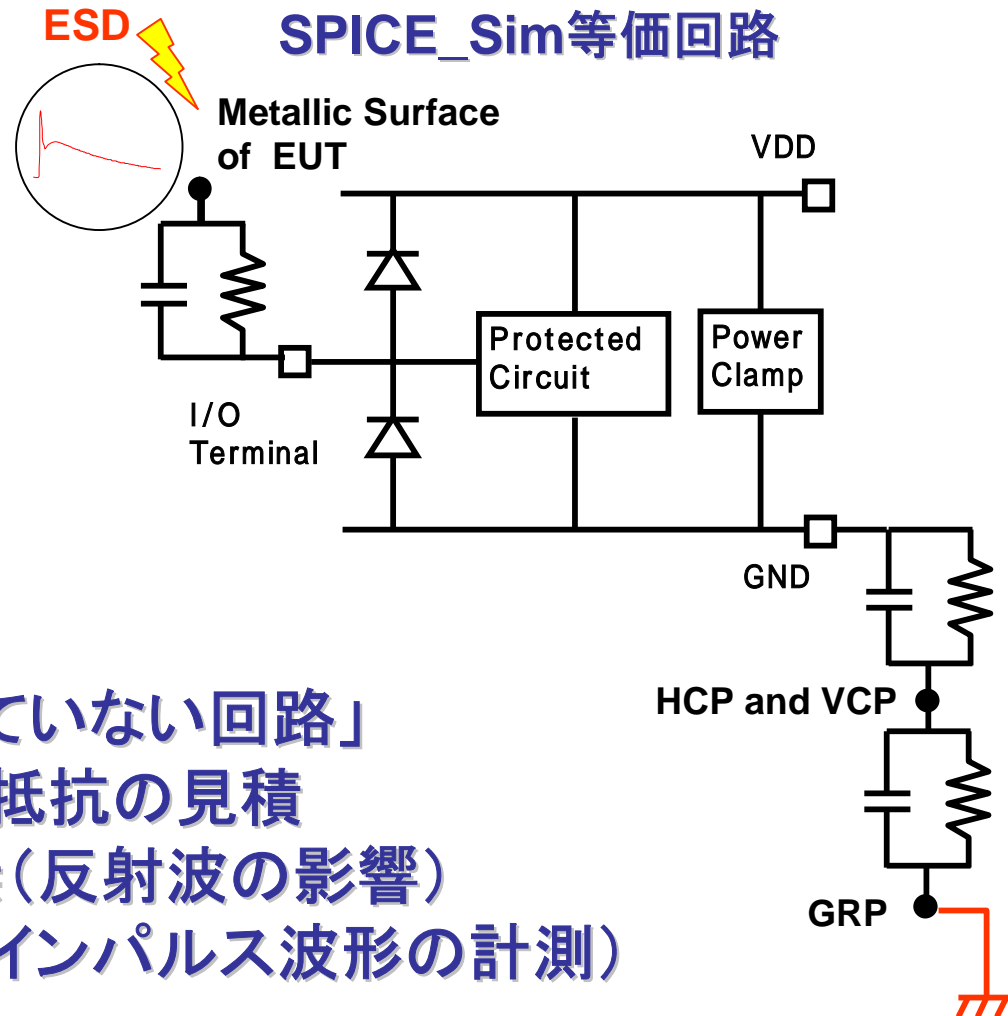
システムESD試験の放電ストレスにもSPICE_Simを適用できる環境が整いつつある

SPICEシミュレーション適用に向けた課題

部品ESD(HBM)試験
SPICE_Sim等価回路



システムESD(HBM)試験
SPICE_Sim等価回路

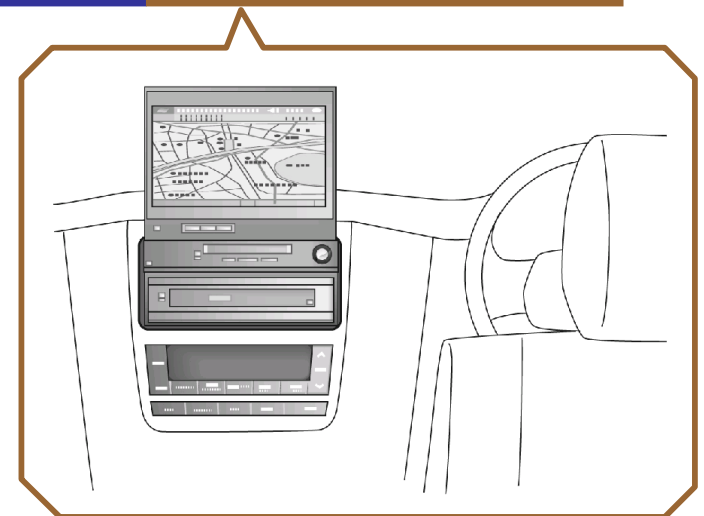


- ・システムESD試験＝「閉じていない回路」
- ・印加側と接地側の容量と抵抗の見積
- ・サージの畳重効果の有無(反射波の影響)
- ・放電波形の測定(GHz帯インパルス波形の計測)

ラッチアップ試験の現状と課題

ラッチアップ試験の課題～トリガパルスの乖離

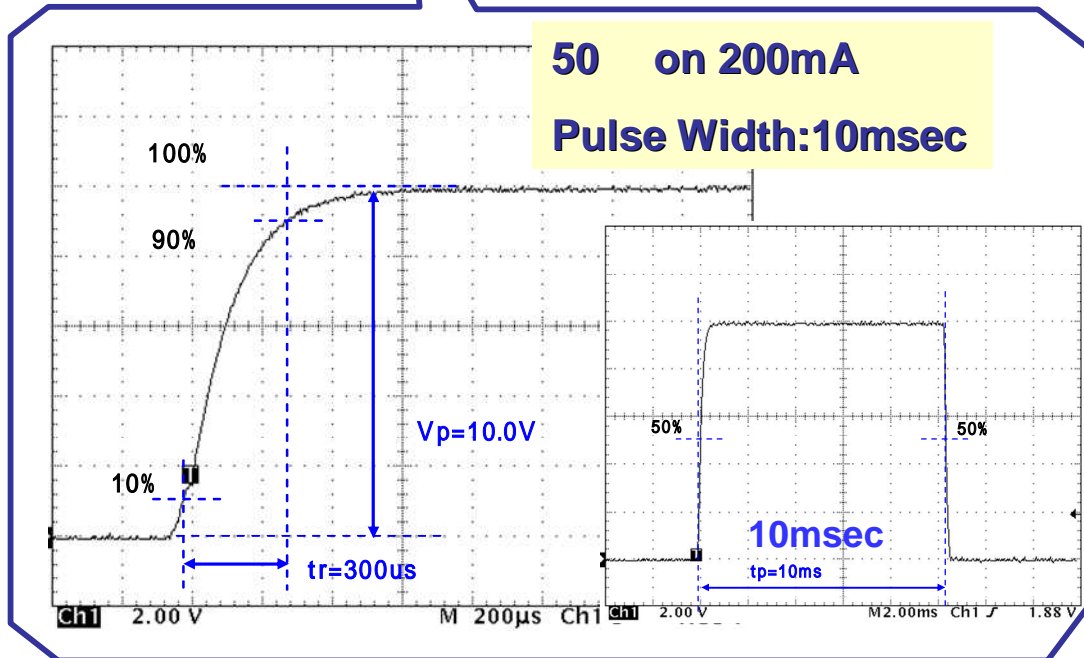
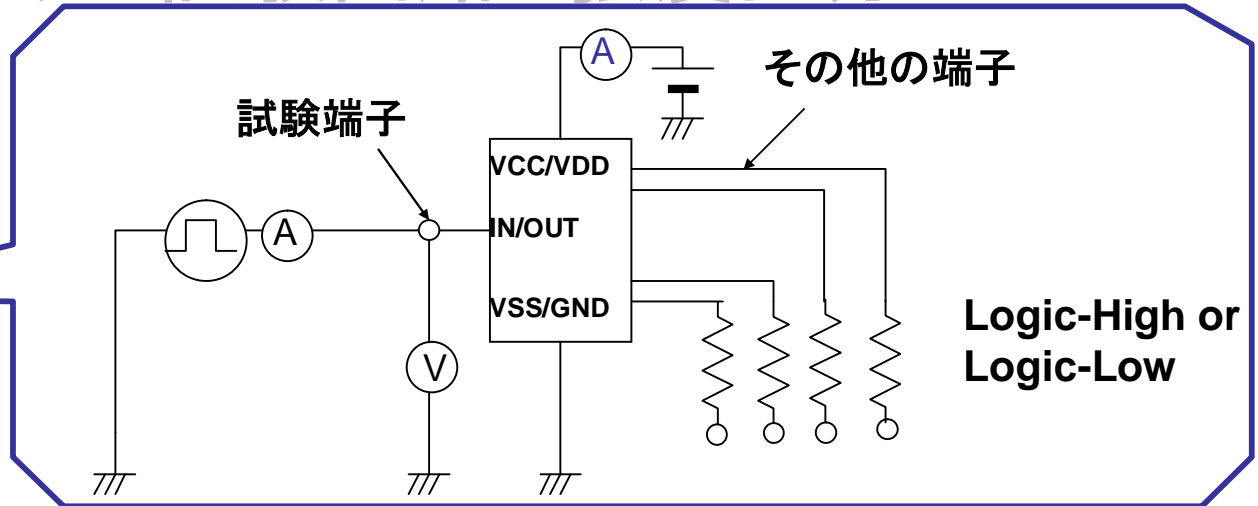
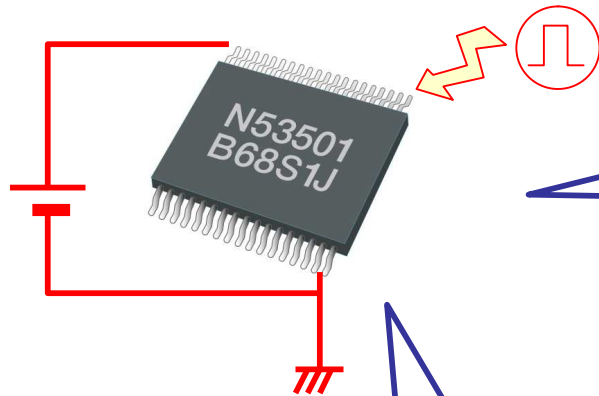
規格名 種類	コンポーネント(部品)ラッチアップ試験					システムイミュニティ試験	
	JEITA ED-4701	JEDEC JESD78	ESDA STM5.X	AEC- Q100	IEC- 60749	IEC- 61000-4-2	ISO- 10605
電流パルス			-			-	-
電圧パルス	-	-	-	-	-		
電源過電圧			-			-	-



- ・部品ラッチアップ試験は電流パルス
- ・システム誤動作試験は電圧ノイズ
- ・トリガ源が両者で異なる
- ・部品ラッチアップ試験に電圧パルスの公的規格は存在しない

部品ラッチアップ試験回路と強度区分

部品ラッチアップ試験



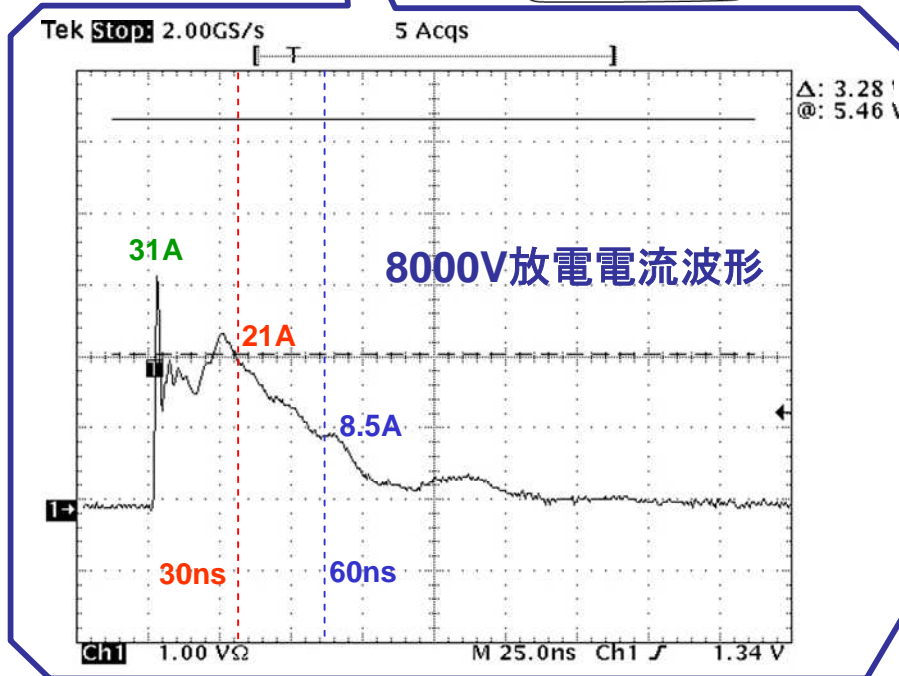
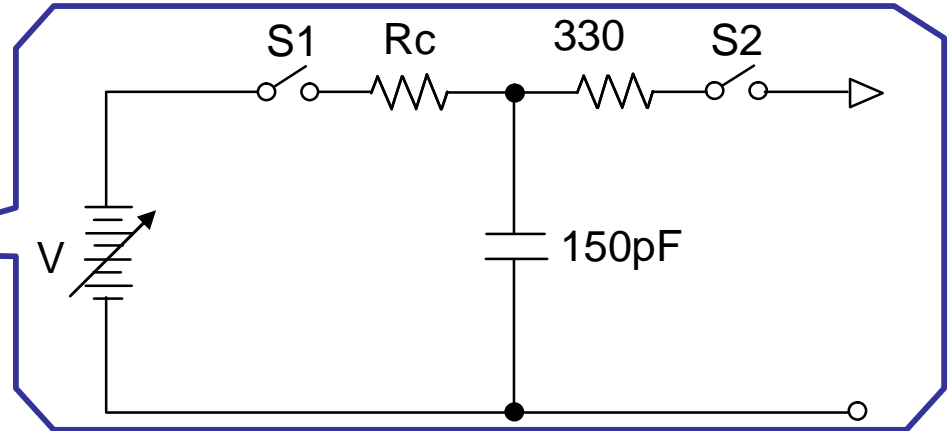
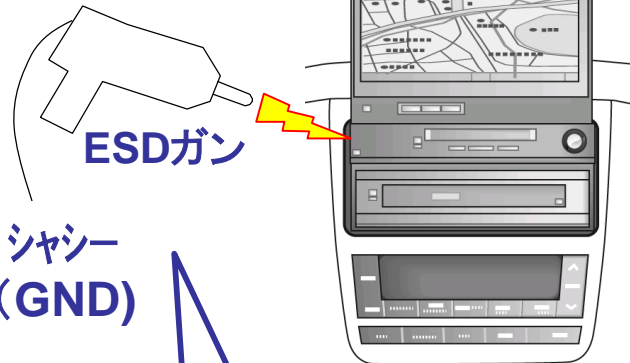
JEDEC JESD78Aの強度区分

	Current	Temperature
Class 1	>100mA	RT
Class 2	>100mA	Ta=Operation Maximum

要求耐性>100mA (Ta ; Max)
トリガパルス幅: 5usec~5sec

システムイミュニティ試験放電回路と強度区分

システムイミュニティ
試験



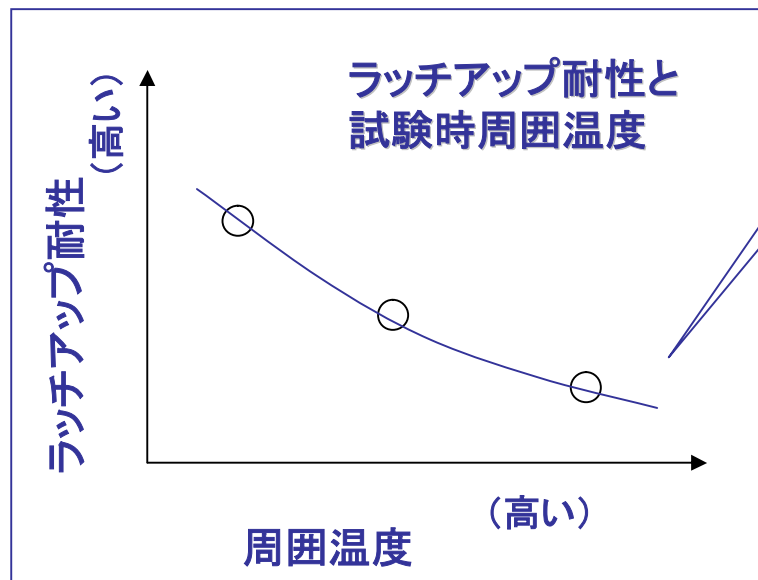
IEC61000-4-2 強度区分

レベル	接触放電	気中放電
1	2kV	2kV
2	4kV	4kV
3	6kV	8kV
4	8kV	15kV
x	Special	Special

要求耐性 > 8kV (I_{peak} = 30A)
トリガパルス幅: ~ 数100nsec
(トランジェント電圧パルス)

ラッチアップ試験の課題～温特評価の必要性

	コンポーネント(部品)ラッチアップ試験					システム免疫試験	
規格名	JEITA ED-4701	JEDEC JESD78	ESDA STM5.X	AEC- Q100	IEC- 60749	IEC- 61000-4-2	ISO- 10605
種類							
電流パルス			-			-	-
電圧パルス	-	-	-	-	-		
電源過電圧			-			-	-
周囲温度	RT 又は 最大動作保証温度					RTのみ	



ラッチアップ耐性は高温で低下

部品ラッチアップ試験は最大動作保証温度で実施

システム免疫試験は室温で実施
(高温下で実施困難)

部品単体の電圧パルス・ラッチアップ試験
最大動作保証温度で実施

システム免疫試験補完の可能性

部品試験とシステム試験の課題と方策(まとめ)

ESD試験

- ・部品ESD試験とシステムESD試験ともにHBM
- ・部品単体にシステムESD試験耐性を求める流れ
 - ・システムの小型化(サージ吸収能力の低下)
 - ・部品端子がサージに晒されやすいアプリケーション
- ・Sim手法による最適化(必要な端子に適切な保護回路)

ラッチアップ試験

- ・部品ラッチアップ試験とシステムイミュニティ試験でのトリガパルスの乖離
- ・部品ラッチアップ試験への電圧パルス試験の取り込み
→(トランジェントラッチアップ)規格化
- ・部品ラッチアップ試験によるイミュニティ試験高温保証の代替

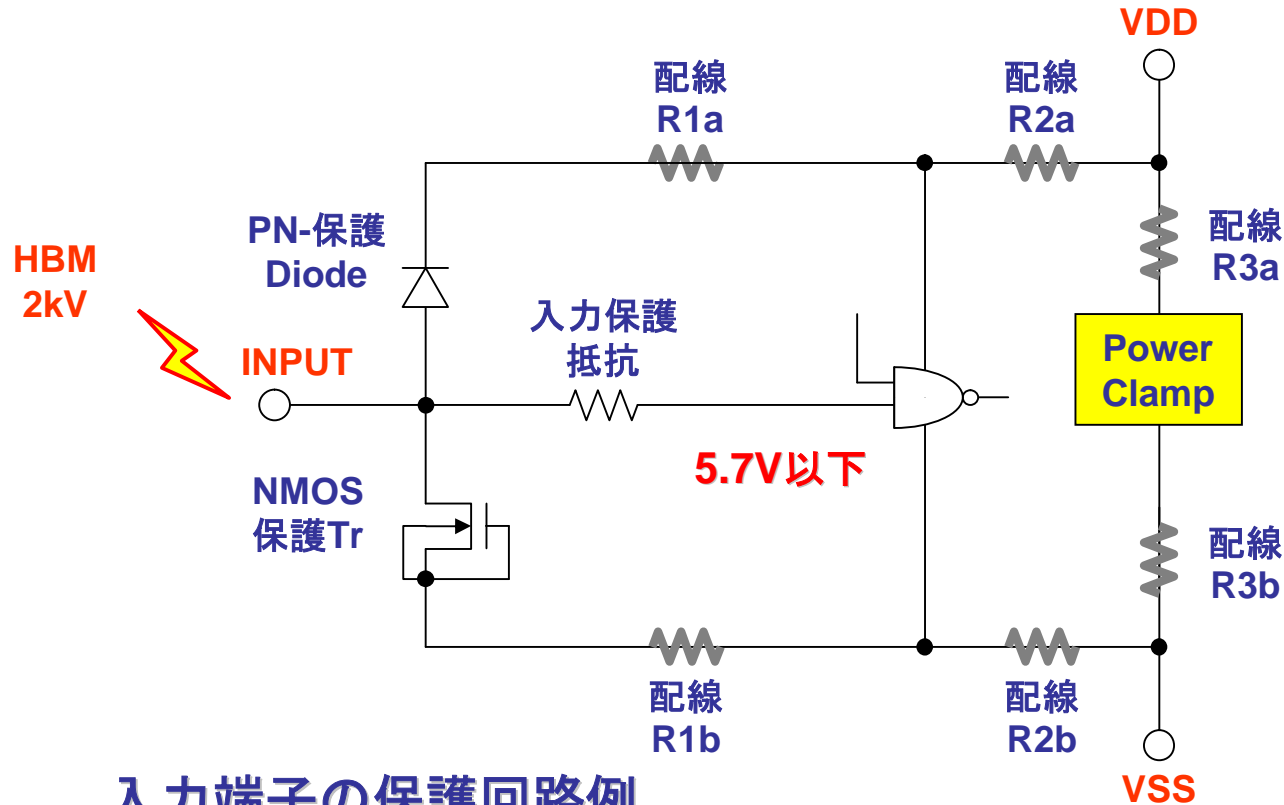
2. 適用事例のご紹介

SPICEシミュレーションを 用いた保護回路設計例

ESDシミュレーションによる保護回路設計

ESDサージを印加した時、所定のノードの電位が設定値を超えないように保護回路を構成する手法

(例) **HBM: 2kV**で、ゲートに掛る電位を**5.7V以下**に抑える

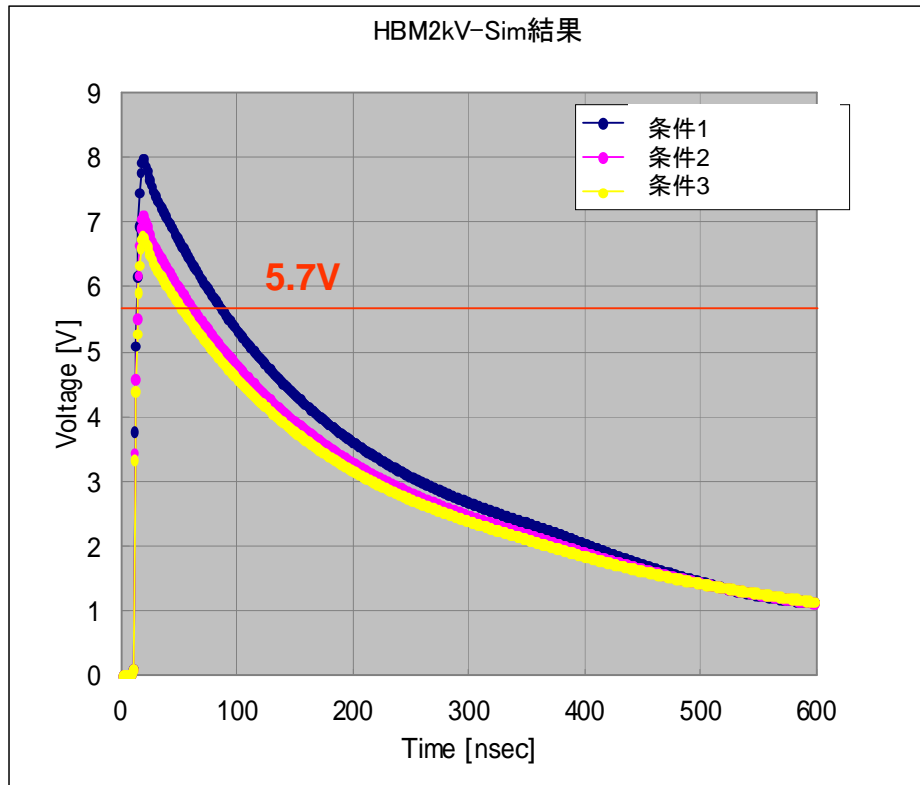


入力端子の保護回路例

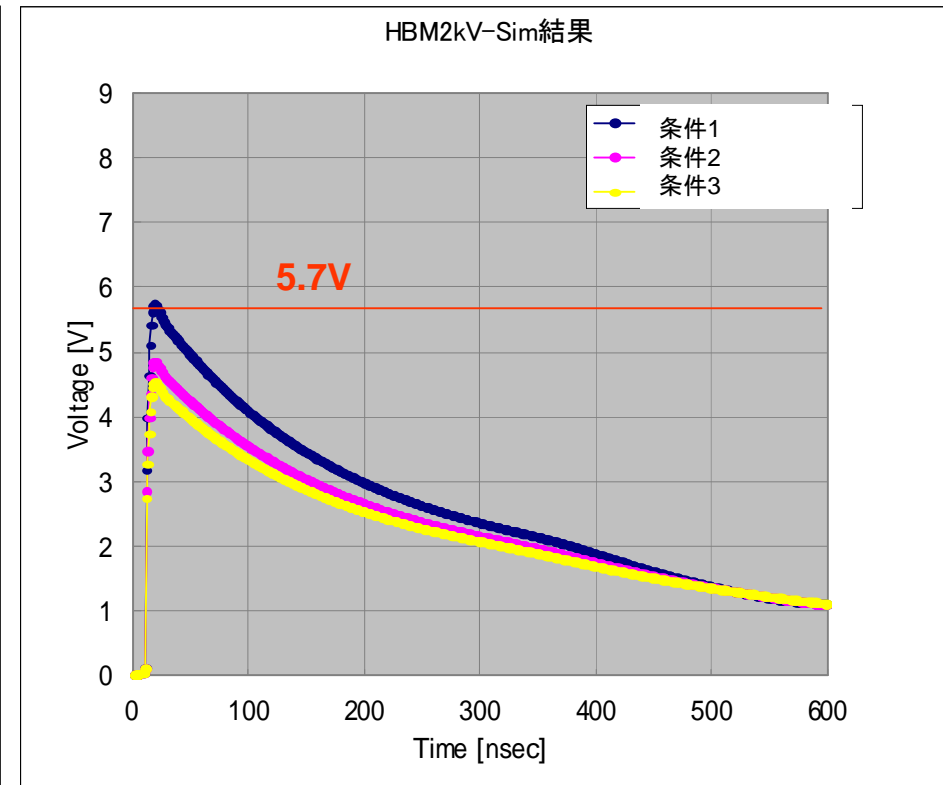
ESDシミュレーション結果(回路構成)

【PMOS保護の場合】

【Diode保護の場合】

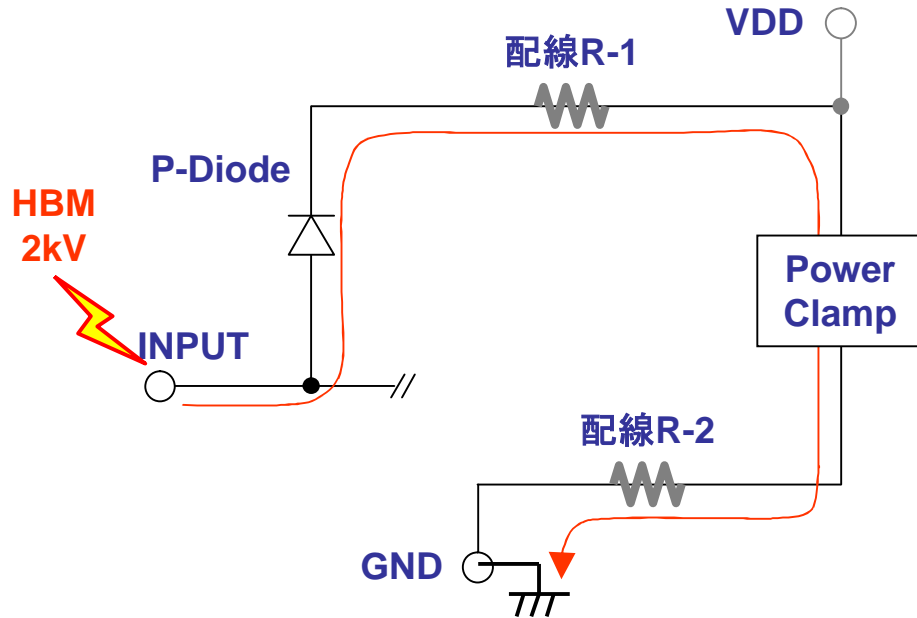


PMOSでは、3条件とも設定値をオーバー 不適

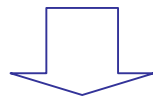


ダイオードでは、条件1のみ設定値をオーバー 条件2を採用

ESDシミュレーション結果(配線抵抗)



0.6 まで許容範囲
 →バラツキを考慮して0.5 以下



(配線R-1)+(配線R-2) 0.5

配線R [ohm]	INPUT電位 [V]	判定
0	4.85	Pass
0.1	4.98	Pass
0.2	5.11	Pass
0.3	5.25	Pass
0.4	5.38	Pass
0.5	5.51	Pass
0.6	5.65	Pass
0.7	5.78	Fail
0.8	5.91	Fail
0.9	6.04	Fail
1	6.18	Fail

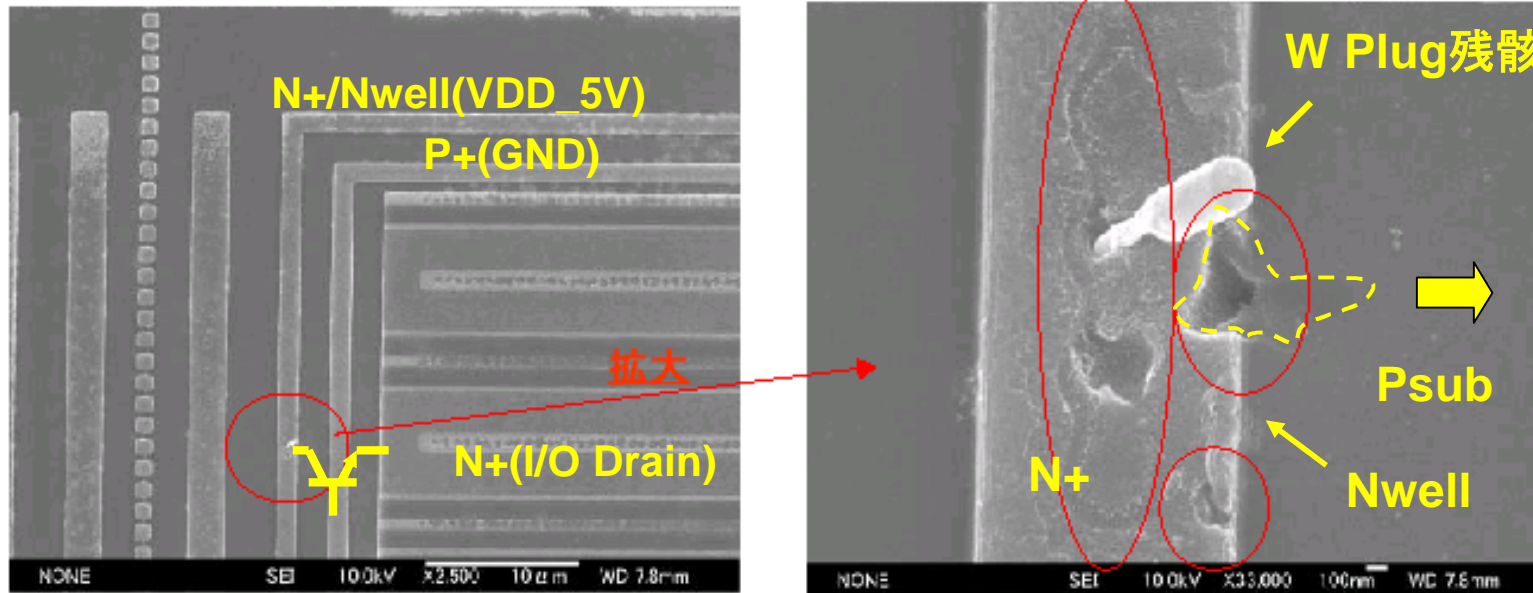
SPICEシミュレーションを用いた保護回路設計(まとめ)

- ・半導体デバイスの保護回路設計に用いられる手法
- ・SPICEパラメータを使って、ESDサージが入った時の所定ノードの過渡電圧をシミュレーションする手法
- ・本手法を使うことで、保護回路面積を最適化する(ESD耐性対コスト)
- ・この種の手法をシステムレベルESD試験の保護回路設計に応用することで、同様の効果を期待できる

故障解析と対策例

ガードリングの破壊

Coサリサイドプロセス / NMOS出力Tr



VDD5VをコモンにI/Oポートへ(-)サージを印加した時に発生
 症状はサージを印加したI/O端子自身のリークではなく、5V_IDD不良
 ドレインのN+に向かってサージ電流が流れた痕跡

寄生nnpTr = 'ガードリング(N+) - 基板(P+) - I/Oのドレイン(N+)' のコレクタ
 側接合が破壊(ドレイン=I/O端子側は順方向なので破壊しない)

故障解析と対策(まとめ)

- ・ESD試験で発生した故障品の解析事例
- ・破壊の痕跡と寄生バイポーラTrの構造から故障メカニズムを想定
 - ・サリサイド構造Trの脆弱性(サージの局所集中)
 - ・ベース・フローティング状態での寄生バイポーラの挙動
- ・素子面積の増加を抑えた改良方法を検討

3. 沖エンジニアリングにおける 各種試験への適応状況

各種試験規格への適応状況

		コンポーネント(部品)ESD試験					システムESD試験	
規格名 種類	JEITA ED-4701	JEDEC JESD22	ESDA STM5.X	AEC- Q100	IEC- 60749	IEC- 61000-4-2	ISO- 10605	
HBM						***	***	
MM	-					-	-	
Direct-CDM		-				-	-	
FI-CDM	-	*	*	*	*	-	-	

		コンポーネント(部品)ラッチアップ試験					システム免疫試験	
規格名 種類	JEITA ED-4701	JEDEC JESD78	ESDA STM5.X	AEC- Q100	IEC- 60749	IEC- 61000-4-2	ISO- 10605	
電流パルス			-			-	-	
電圧パルス	**	-	-	-	-	***	***	
電源過電圧			-			-	-	

* 2008.7より、HED-C5002導入開始

** JEIAJ AB6201 半導体信頼性委員会内部資料に準ずる

*** 簡易評価

まとめ

- ・車載電子部品のESD/ラッチアップ試験のあらゆるニーズに対応可能(受託試験から対策コンサルまで)
- ・SPICE_SimのシステムレベルESD試験への適用(納得性のあるソリューションをご提供)
- ・高温ラッチアップ試験の適用(車載部品のノイズ誤動作耐性をラッチアップ耐性の尺度でご提供)
- ・部品単体からシステム評価まで、どのような試験のご相談にも対応



ご静聴、有り難う御座いました。

お問合せ先

沖エンジニアリング株式会社

信頼性設計事業部
TEL: 042-662-6778
福田保裕

E-mail: oeg-esdsales@oki.com

URL: <http://www.oeg.co.jp/>

ご連絡をお待ちしております

(参考)規格制定団体の略称

**JEITA: Japan Electronics and Information
Technology Industries Association**

**JEDEC: Joint Electron Device Engineering
Council**

ESDA: ESD Association

AEC: Automotive Electronics Council

IEC: International Electrotechnical Commission

**ISO: the International Organization
for Standardization**