

2017 OEGセミナー

メモリーのソフトエラー評価

JESD89-2に準拠した α 線照射試験

2017年7月11日

沖エンジニアリング株式会社

デバイス評価事業部

伊藤 和幸

目次

1. ソフトエラー対策の重要性
2. OEGのソフトエラー評価サービス
3. ソフトエラー評価事例紹介
4. まとめ

1.1 ソフトエラー対策が重要である理由

- ソフトエラー等により装置の動作不具合が発生した場合、
 - エラー回復機能で対応する。
 - 対応できなければ、装置を一度停止させて再起動する。

しかし・・・

- 停止の影響が広範囲に及んだり、人の安全に関わる装置（産業機器、医療機器、車載機器など）では、簡単に再起動できない。



- ソフトエラー耐性を確認し、メモリーを選定することが重要になる。

産業機器



※画像出典：ニコン

医療機器



※画像出典：つくば画像検査センター

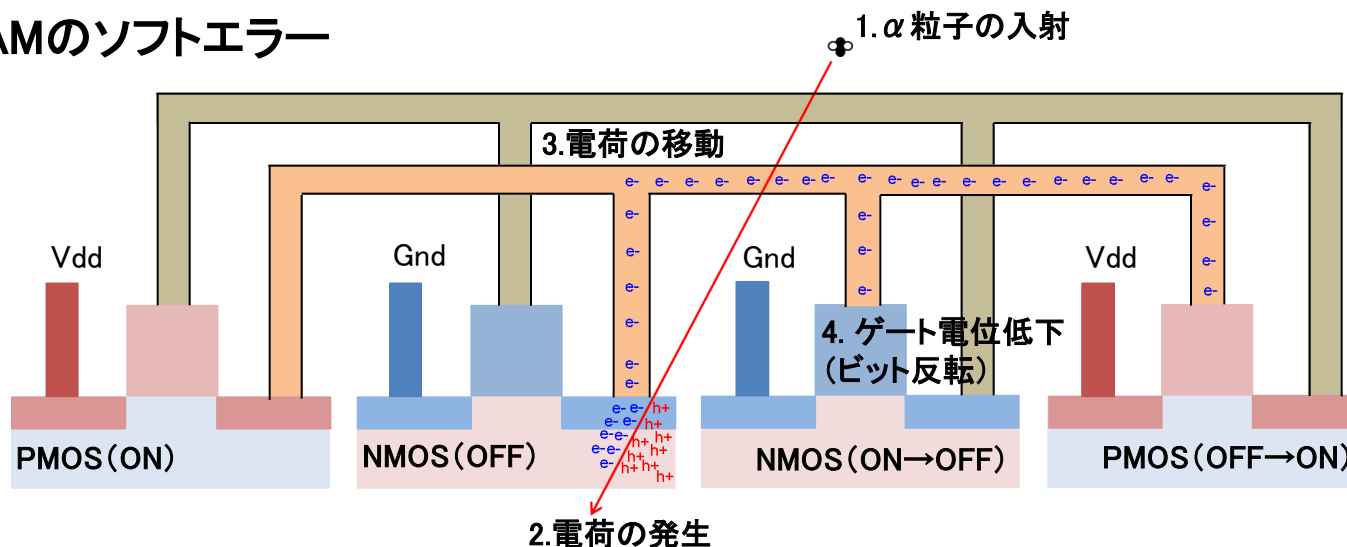
車載機器



1.2 ソフトエラーの発生原因

- ソフトエラーは、 α 線や中性子線により半導体素子に自由電子・ホール対が発生し、メモリーのビットが反転してしまう現象。
 - α 線はパッケージに不純物として僅かに含まれているウランやトリウム等から発生する。
 - 中性子線は宇宙線が上層大気に衝突することによって発生する。
- 反転したビットが(上書きされる前に)読み出されて使用されると、装置の動作不具合が発生する。

SRAMのソフトエラー



1.3 これまでのソフトウェア対策

- α 線によるソフトウェアは、1970年代から報告されており、それ以降たびたび問題になり、対策も施されてきた。
 - パッケージに含まれる放射性不純物の低減
 - DRAM・SRAMセルのレイアウト改良
 - エラー訂正回路(ECC)による訂正

しかし・・・

- ソフトエラーを完全に防ぐことは困難。
 - 今後発生頻度が高まることが懸念される。

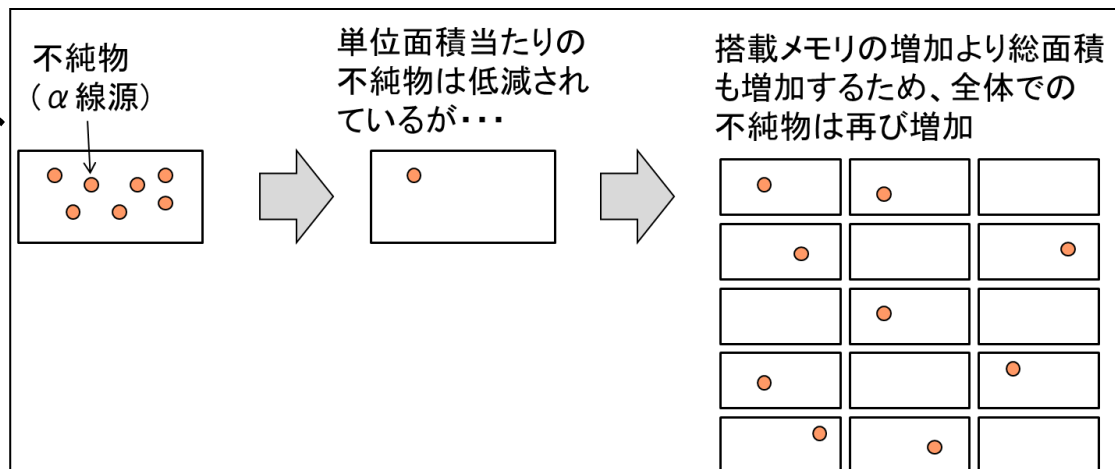
1.4 搭載メモリーの増加、低電圧化・微細化の影響

■ 搭載メモリー増加の影響

- パッケージに含まれる単位面積当たりの放射性不純物の含有割合は、パッケージメーカーにより低減されて来ている。

一方で

- 搭載メモリーの増加により、システム全体におけるパッケージ面積が増加。
- 放射性不純物の総量が増加し、ソフトウェアのリスクも増加する。



■ 低電源電圧化・微細化による影響

- SRAMセル中のトランジスタのゲートに蓄えられる電荷が減少。



- セルのデータを反転させるのに必要な電荷量(臨界電荷量)も減少。ソフトウェアが発生するリスクが高くなる。

1.5 ソフトエラーの評価に関する規定

- ソフトエラーの評価に関してJEDEC※¹ JESD89に規定されている。
 - JESD89-1～3でテスト手法ごとの規定がある。

JESD89-1	JESD89-2	JESD89-3
フィールドテスト	放射性物質を用いた α 線照射試験	加速器を用いた 中性子線照射試験
多数のサンプルを長期間動作させて行うテスト。高コストで時間もかかる。	評価したい時にすぐできる。 短期間・低コストで実施可能。	中性子照射が可能な施設が限られている。実施までの待ち時間が長く、高コスト。

↓

OEGではJESD89-2に準拠した α 線照射試験を実施している。

- AEC Q100※²でもJEDECの規定が参照されている。
 - ▶ 1Mbit以上のSRAM・DRAMについて適用。
 - ▶ 評価内容や合否判定基準は案件ごとに検討する、とされている。

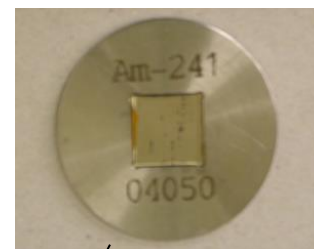
※¹ JEDEC (Joint Electron Device Engineering Council) : 電子部品の規格の標準化を行っている米国の業界団体。

※² AEC Q100 : AEC (Automotive Electronics Council) は車載用電子部品信頼性の規格化のための団体で、Q100はその内の集積回路(IC)に関する規格。

2.1 OEGでのソフトエラー評価の特長

- LSIテストのソケット上に α 線源をセットできるように評価環境を作成している。

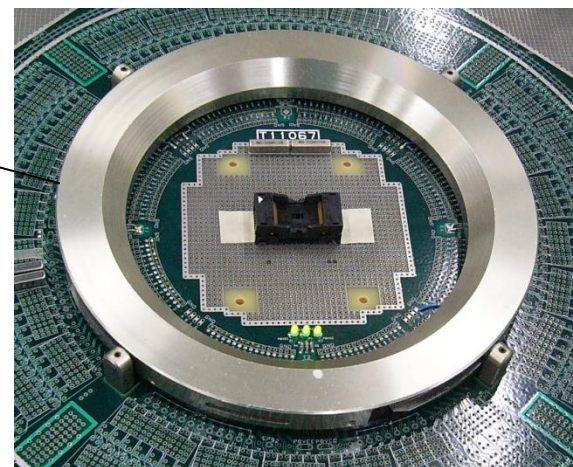
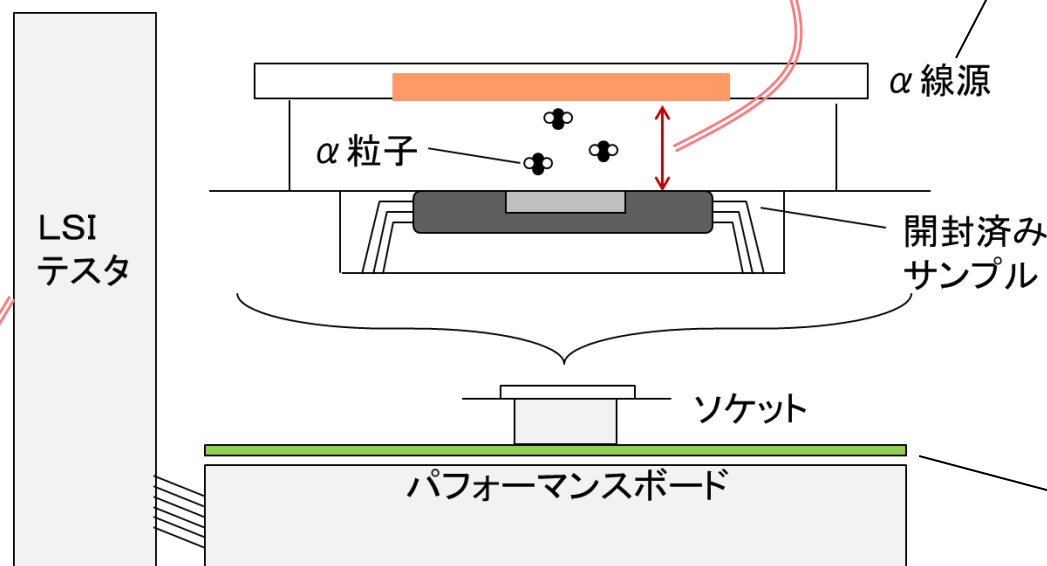
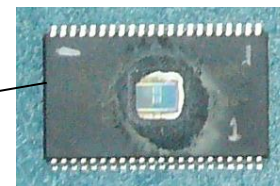
α 線源とサンプルの距離を正確に確認後、テストを開始する。



α 線源は、 ^{241}Am (アメリシウム)密封線源(放射能3MBq)を使用。

アメリシウム241とは

- ・原子番号95の超ウラン元素
- ・半減期は432.2年
- ・ α 線のエネルギーは5.4MeV



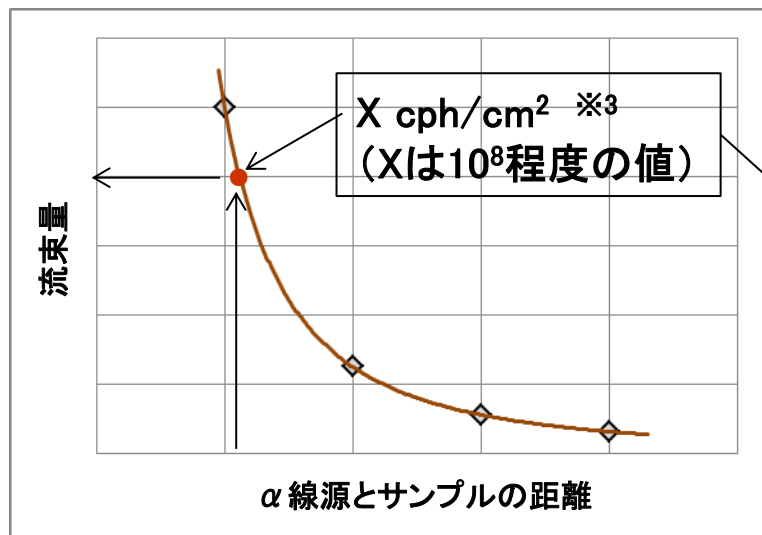
初期パタンデータ、電源電圧の設定、フェイルビットマップの出力

※ α 線源はサンプル初期値書き込み後にセット

2.2 FIT数の正確な算出

- α 線源とサンプルの距離によりFIT数を算出。
 - α 線源からの流束量※¹は測定済み。実際のパッケージからの流束量が判れば加速係数が求まり、FIT数※²を算出できる。

α 線源からの流束量(測定済み)



実際のパッケージからの流束量

(パッケージメーカーの資料より)

グレード	α 線カウント
low alpha	0.02 cph/cm ²
ultra low alpha	0.002 cph/cm ²
super ultra low alpha	0.001 cph/cm ²

Y cph/cm²

パッケージグレードが分かれば、
加速係数(= X/Y)が求められる。

FIT数は、 $\text{エラー数} / (\text{試験時間} \times \text{加速係数} / 10^9)$ となる。

※¹ 流束量(フラックス量とも呼ばれる)とは、単位時間・単位面積あたりに飛来する α 粒子の数。

※² Failure in Timeの略称。よく使われる故障率の単位で、10の9乗時間あたりの平均故障(エラー)数。

※³ count per hourの略称で、1時間当たりの粒子数。

2.3 LSIテストの使用

■ LSIテスト使用のメリットは、

1. テスト条件の設定・変更が容易にできる。
2. フェイルビットマップが出力可能。
 - ・フェイルビットマップは、エラーが発生したアドレスとビット位置のデータを出力。

1. 2. について説明する。

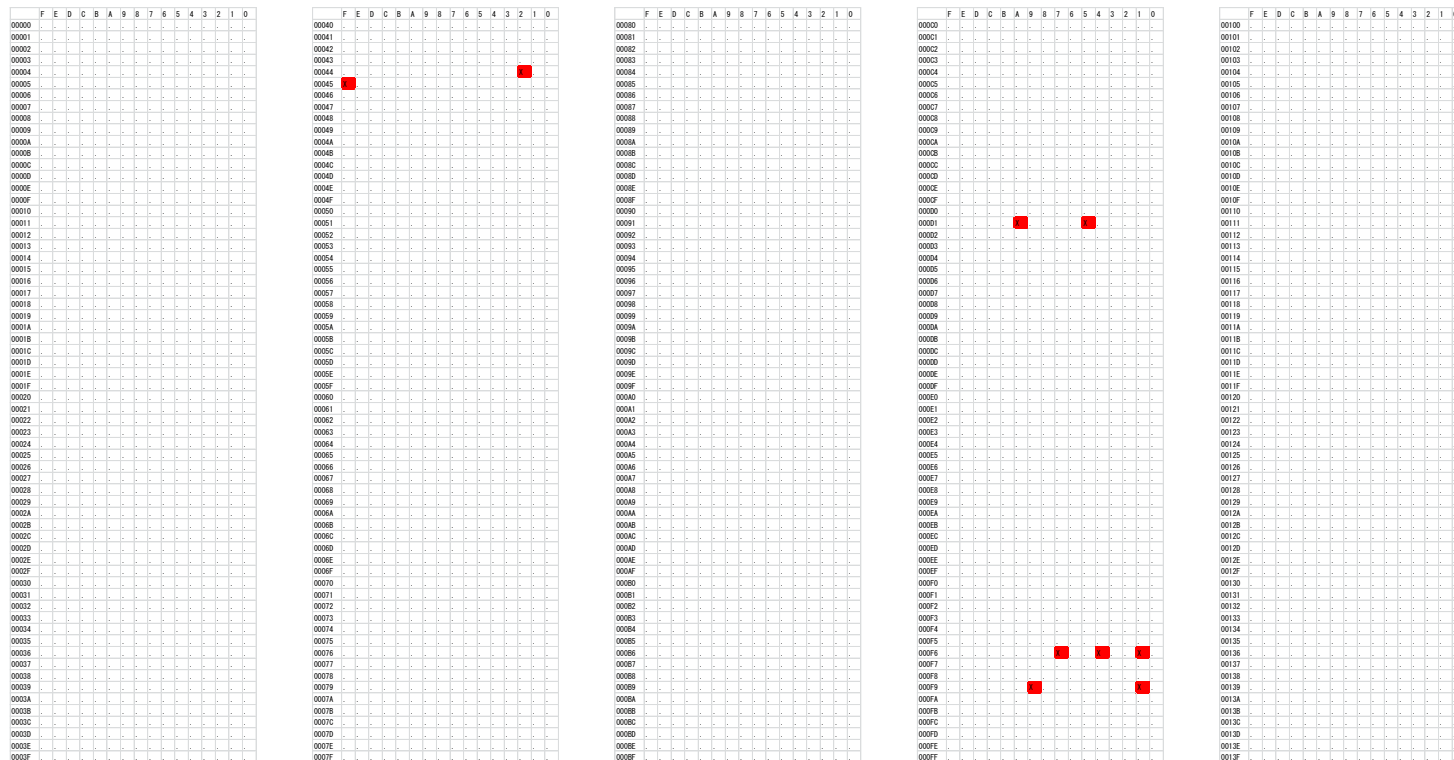


2.5 LSIテストを使用することの特長(2/2)

■ フェイルビットマップが出力可能

- エラー発生場所に特異な分布(偏り)がある場合、その領域の電荷保持能力が弱いことなどが考えられる。

- ▶ フェイルビットマップ(代表例)を示す。縦方向がアドレス、横方向がビットの並び。
- ▶ フェイルが同一アドレスの複数ビットで発生する傾向がある。



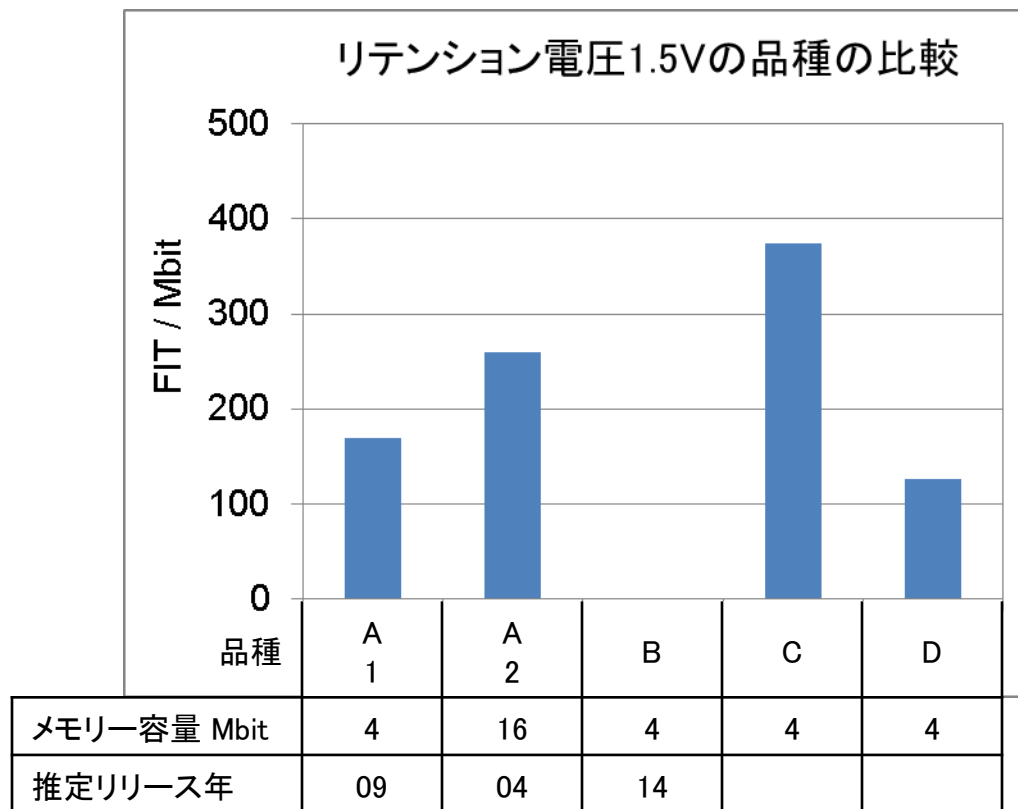
■ がフェイル

3.1 評価項目

- 以下の項目に着目して、評価結果を紹介する。
 - メーカー・品種間の実力比較
 - ▶ 同一リテンション電圧の品種の比較。
 - ▶ リテンション電圧の異なる品種の比較。
 - リテンション電圧はSRAMのデータが保持できる最低電圧。
 - 電源電圧依存の確認
 - ▶ α 線照射時の電源電圧を変えて依存を確認。
 - フェイルビットマップの確認
 - ▶ 特異な分布が無いかを確認。

3.2 メーカー・品種間の比較

- Bが最も良い結果であった。
 - 2.2により算出したFIT数での比較を行っている。



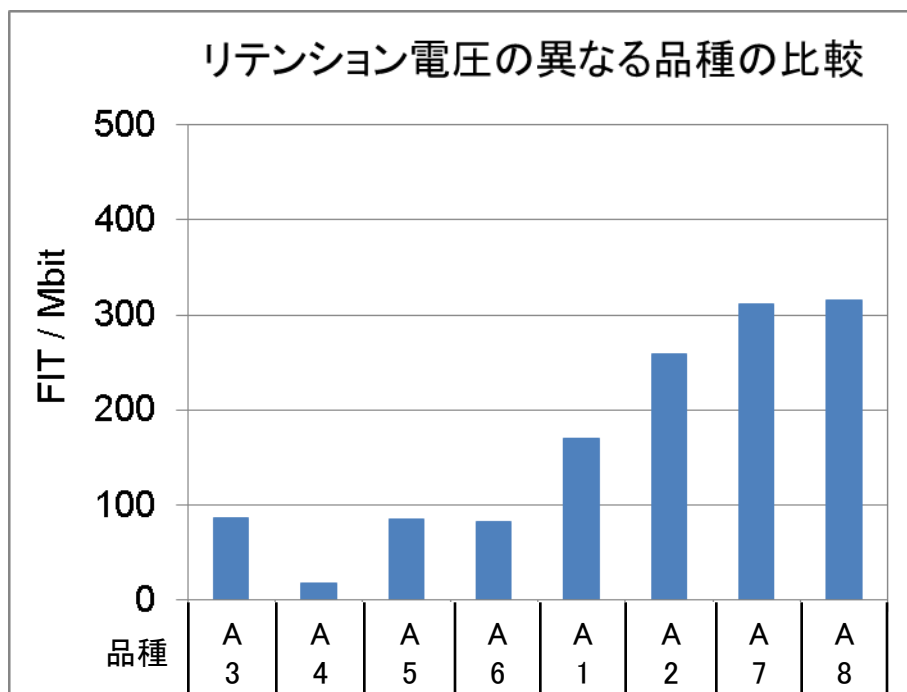
・メモリー容量が異なっているため、1Mbit当たりのFIT数 (FIT数) で比較。

・A～Dでメーカーを示し、数字でメーカー内の品種を表す。

※ 各品種は複数個測定し、平均値を示している。

3.3 リテンション電圧の比較

- リテンション電圧低下によりFIT数は増加するが、増加の程度は抑えられている。
 - 2.0Vから1.5Vの増加割合に比べて1.5Vから1.0Vの増加割合は小さい。

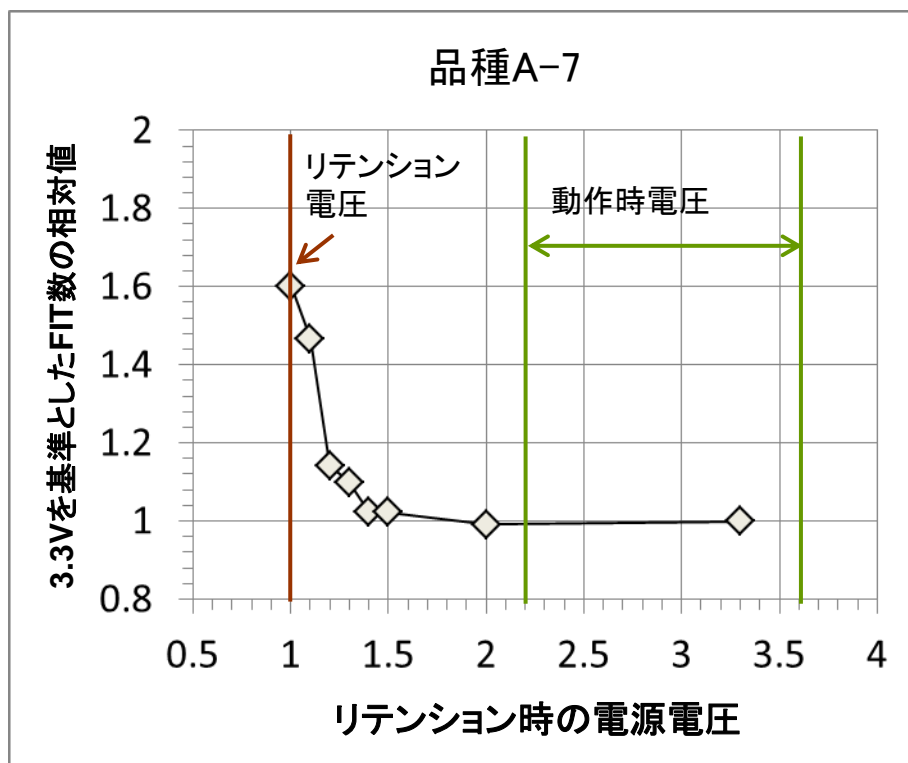


リテンション電圧	2.0V				1.5V		1.0V	
メモリー容量Mbit	1	4	16	4	16	4	16	
推定リリース年	09	10	08	08	09		15	15

メーカーは全てA社
A1、A2は前頁と同じ品種

3.4 電源電圧依存の確認

- 保持電圧をリテンション電圧より少し高くすることで、ソフトエラーはかなり低減できる。
 - 消費電力の問題が無ければ、データ保持時の電源電圧はリテンション電圧の1.0Vまで下げずに1.2V以上とした方が良い。



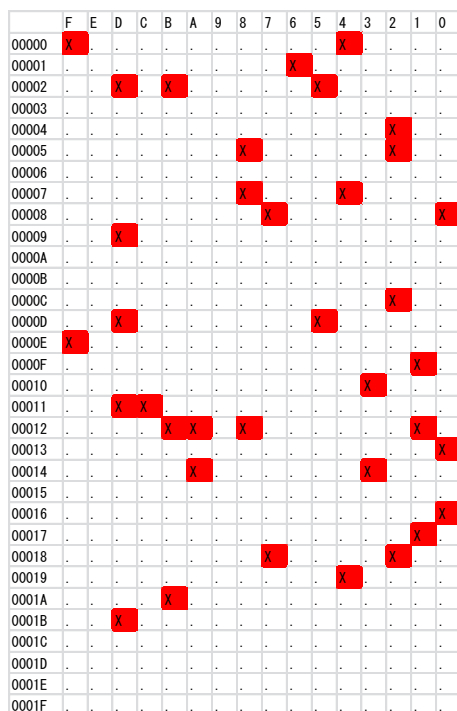
※各距離で3回測定し、
平均値を示している。

3.5 フェイルビットマップの確認

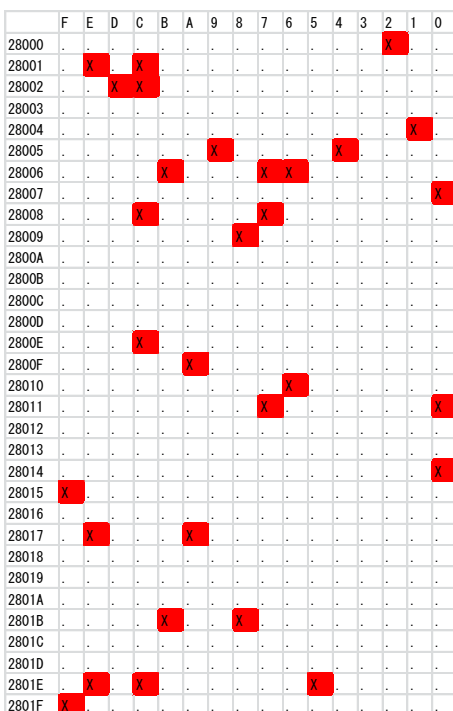
- フェイルしたアドレスとビット位置に偏りは見られない。
 - エラーが集中している領域は特に無く、データ保持能力が弱い領域は無いといえる。品種はA7で確認した。

代表領域のフェイルビットマップ。縦がアドレス、横がビット。 ■ がソフトエラー発生ビット

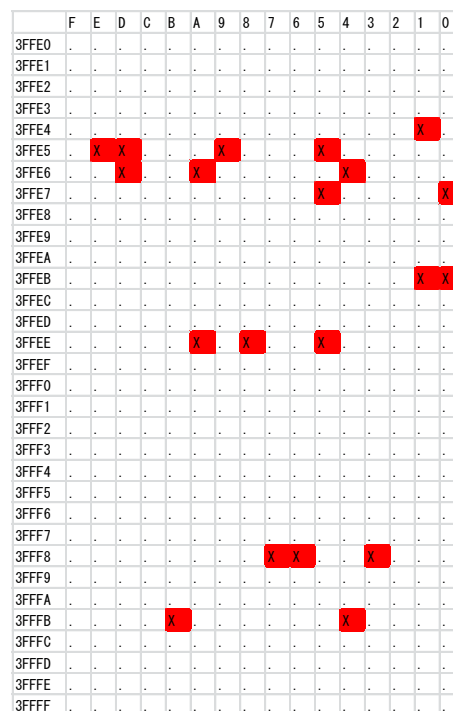
先頭アドレス



中間アドレス



最終アドレス



4.1 評価まとめ

- 評価した項目と結果をまとめると、
 - メーカー・品種間の実力比較
 - ▶ FIT数で比較。
 - ▶ リテンション電圧低下によりFIT数は増加するが、増加の程度は近年抑えられていることが分かった。

 - 電源電圧依存の確認
 - ▶ 保持電圧をリテンション電圧より少し高くすることで、ソフトエラーはかなり低減できることが分かった。
 - 評価を行った品種では、リテンション電圧1.0Vに対し、保持電圧を1.2V以上で低減できた。

 - フェイルビットマップの確認
 - ▶ エラーが集中しているアドレスやビットなどに特異な分布は見られず。

4.2 全体まとめ

- ソフトエラーは、装置の大規模化による搭載メモリーの増加、また微細化・低電圧化により、今後発生頻度が高まることが懸念される。

ソフトウェア耐性を確認し、メモリーを選定することが重要になる。

OEGでは、 α 線源とLSIテストを用いることで、ソフトウェア試験を短期間・低コストで実施したいときに実施可能。

また、LSIテストを用いることで、ソフトウェアだけでなく、動作マージン試験など、さまざまな試験が行え、良品および故障品の評価解析に活用できる。

- **ソフトウェアの評価試験にぜひOEGをご活用ください。**

ご清聴いただき、ありがとうございました

》お問い合わせ先

沖エンジニアリング株式会社

- デバイス評価事業部
評価技術第1グループ
- 担当: 伊藤 和幸

- TEL: 03-5920-2366
- E-mail: oeg-dsales-g@oki.com
- URL: <http://www.oeg.co.jp/>



Open up your dreams