微細化されたMOSトランジスタの信頼性課題

沖電気工業株式会社
半導体事業グループ
シリコンソリューションカンパニー

© Copyright 2008 Oki Electric Industry Co., Ltd.
S OKI CONFIDENTIAL

報告内容

１．はじめに
　１－１．半導体LSIにおける微細化の進展と信頼性課題
２．TDDB
　２－１．TDDB劣化の発生メカニズム
　２－２．TDDBの寿命予測式
　２－３．薄膜化された酸化膜のTDDB現象（ソフトブ レークダウン）
　２－４．TDDBの回路動作への影響
３．Hot Carrier
　３－１．Hot Carrier劣化の発生メカニズム
　３－２．Hot Carrierの寿命予測式
　３－３．Hot Carrierの回路動作への影響
４．NBTI
　４－１．NBTI劣化の発生メカニズム
　４－２．NBTI特有の現象（リカバリ効果）
　４－３．NBTIの寿命予測式
　４－４．NBTIの回路動作への影響
５．おわりに
　５－１．シス テム側での信頼性設計（ディレーティング）
　５－２．参考資料

© Copyright 2008 Oki Electric Industry Co., Ltd.

1. はじめに

システムの小型化・高性能化要求に答えるため、半導体LSIは微細化の限界を追求し、開発が行われている。
一方、微細化の進展は単に最小配線幅の縮小に留まらず、ゲート酸化膜の薄膜化やCu配線等の新材料の導入を伴ったものとなっており、新たな信頼性課題が顕在化してきている。

本報告では、MOSトランジスタの信頼性課題について、その故障メカニズム・モデル式・回路動作への影響等、近年の動向を踏まえ、理解しておくべき内容についてまとめたものである。

© Copyright 2008 Oki Electric Industry Co., Ltd.

１－１．半導体LSIにおける微細化の進展と信頼性課題

本報告で取り上げる課題

トランジスタ

・ゲート長の縮小
・ゲート酸化膜の薄膜化
・新材料の導入（SiON, High-k）

TDDB
・ゲート酸化膜電界の増大による寿命低下
・ソフトブレークダウン

Hot Carrier
・ドレイン電界の増大による寿命低下
・チャネルHot Carrier劣化

NBTI
・ゲート酸化膜電界の増大による寿命低下
・リカバリ効果

配線

・配線幅/間隔の縮小
・新材料の導入（Cu配線、Low-k）

Electro-Migration
・配線電流密度の増大による寿命低下
・レイアウト依存（バックフロー効果、リザーバ効果）

Stress-Migration
・Cu配線のSM現象（Stress Induced Void）

配線間TDDB
・Cuの拡散による配線間耐圧寿命不良

© Copyright 2008 Oki Electric Industry Co., Ltd.

2. TDDB

（Time Dependent Dielectric Breakdown；経時的絶縁破壊）

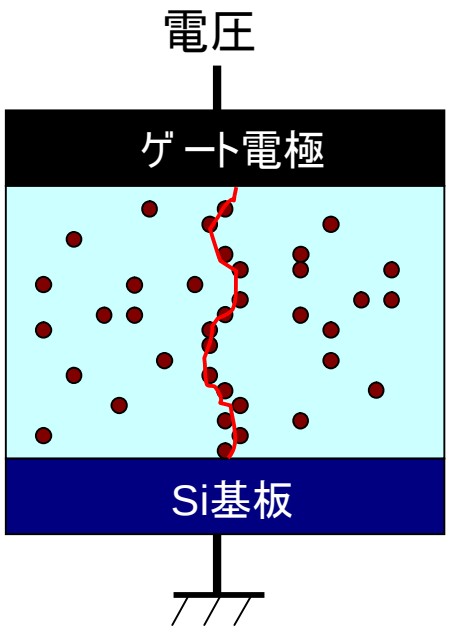
絶縁耐圧以下の電圧でも、印加し続けることによって経時的に絶縁破壊に至る現象。主にMOSトランジスタのゲート酸化膜が対象となる。
劣化メカニズムや寿命予測式について、これまで様々なモデルが提唱されているいが、未だ統一された見解は出ていない。

© Copyright 2008 Oki Electric Industry Co., Ltd.

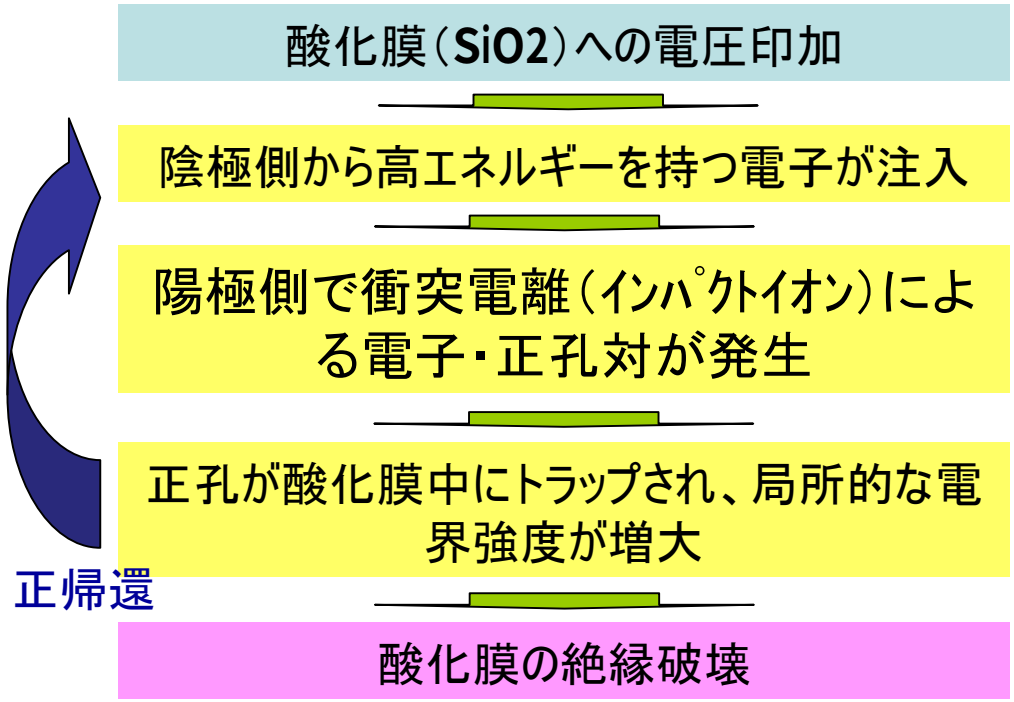
２－１．TDDB劣化の発生メカニズム

■ 酸化膜に印加された電圧、もしくは酸化膜中を流れる電流によって酸化膜中に欠陥が生成される。時間とともに酸化膜中の欠陥が増加し、欠陥間の距離が小さくなると電子の移動が容易となり酸化膜中に電流パスができて絶縁破壊に至る（Percolationモデル）

■ 酸化膜中に欠陥が生成されるメカニズムについての結論はまだ出ていないが、代表的な劣化モデルのひとつであるAnode Hole Injectionモデルについて説明する



Percolationモデルの概念図



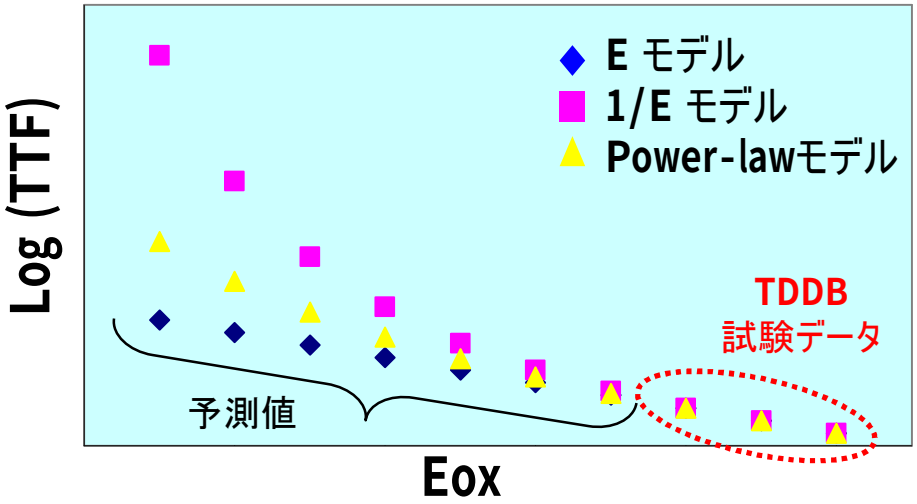
Anode Hole Injectionモデル

© Copyright 2008 Oki Electric Industry Co., Ltd.

２－２. TDDBの寿命予測式

E モデル	$TTF = C_1 * \exp(Ea/kT)\exp(-\beta_1 * Eox)$
1/E モデル	$TTF = C_2 * \exp(Ea/kT)\exp(\beta_2 / Eox)$
Power-law モデル	$TTF = C_3 * \exp(Ea/kT) * Vg^{-n}$

TTF；Time To Failure
k；ボルツマン定数
Eox；電界強度
C；定数　、
T；温度[K]
Vg；ゲート電圧
Ea；活性化エネルギー[eV]
β/n；電界/電圧依存係数

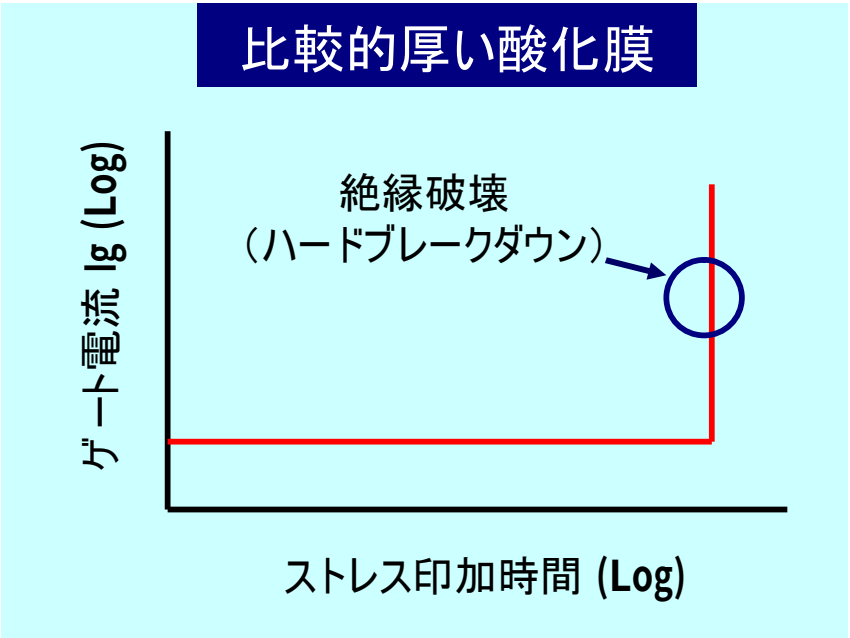


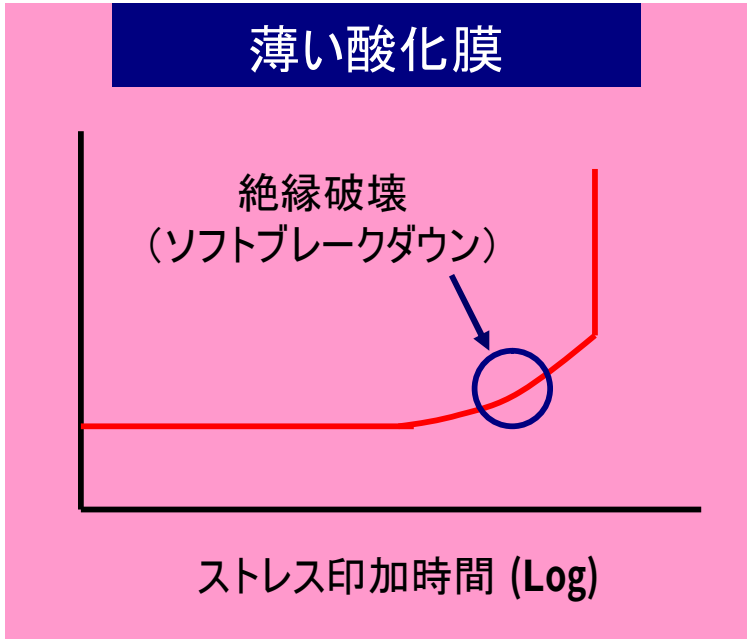
■ どのモデル式を適用するかによって予測される寿命に差が出る
⇒ Eモデルが最も安全サイドでの見積もり

■ 薄いゲート酸化膜（＜5nm）では、ゲート酸化膜に印加される実効的な電界強度ではなく、ゲート電圧そのものにTDDB寿命が依存することが報告されている
⇒ Vgモデル、Power-lawモデルへの移行

© Copyright 2008 Oki Electric Industry Co., Ltd.

２－３．薄膜化された酸化膜のTDDB現象（ソフトブ レークダウン）



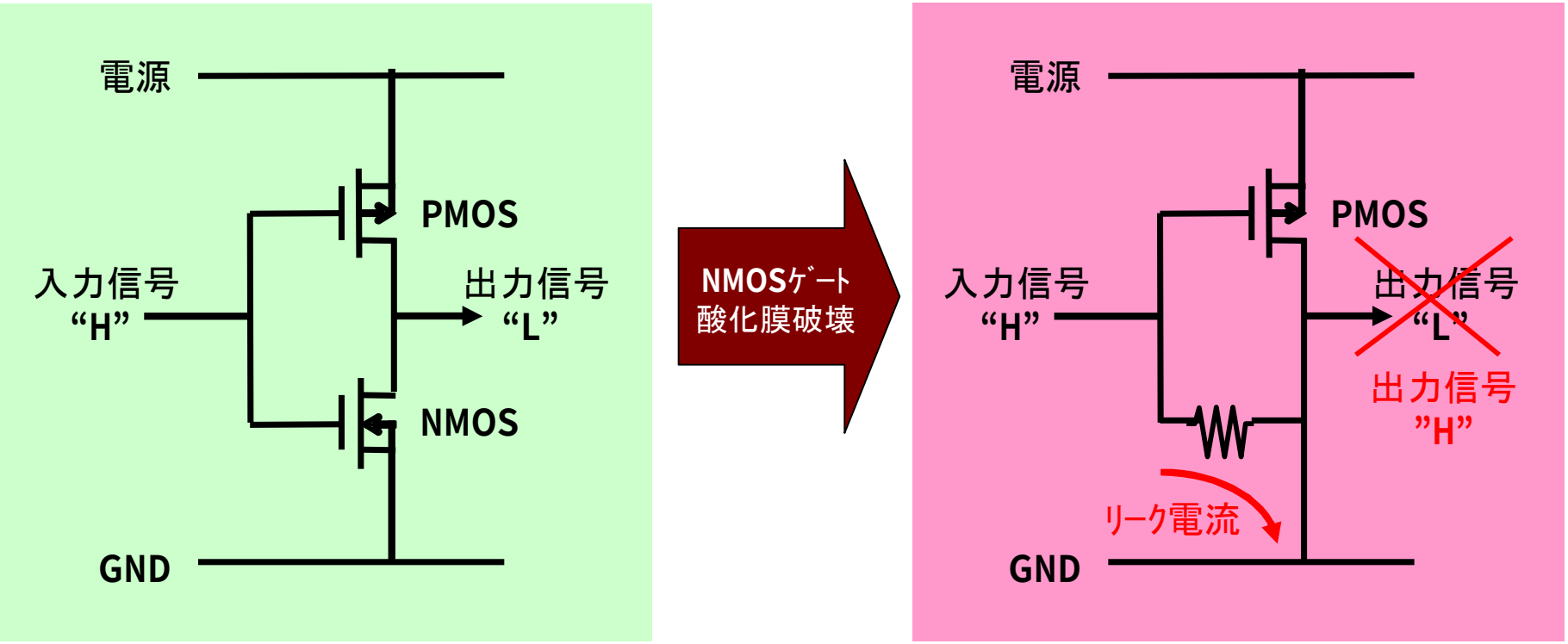


■ 薄い酸化膜では、ストレス電圧の低下によって酸化膜中を流れる電流が減少するため、破壊の程度が抑えられてソフトブレークダウンになると考えられる。
シリーズ抵抗を付加して酸化膜中を流れる電流を制限したTDDB試験では、よりソフトブレークダウンが顕在化しやすく、劣化が抑制される効果が見られる、との報告もなされている。

© Copyright 2008 Oki Electric Industry Co., Ltd.

２－４．TDDBの回路動作への影響

例）CMOSインバータ回路のNMOSでゲート酸化膜破壊が発生した場合



ハードブレークダウンでは絶縁破壊後のリーク電流が大きい（抵抗が小さい）ため、リーク電流を伴った機能不良として顕在化する。
一方、ソフトブレークダウンではリーク電流が小さい（抵抗が大きい）ため、どの時点で機能不良となるかは回路特性によって異なる。

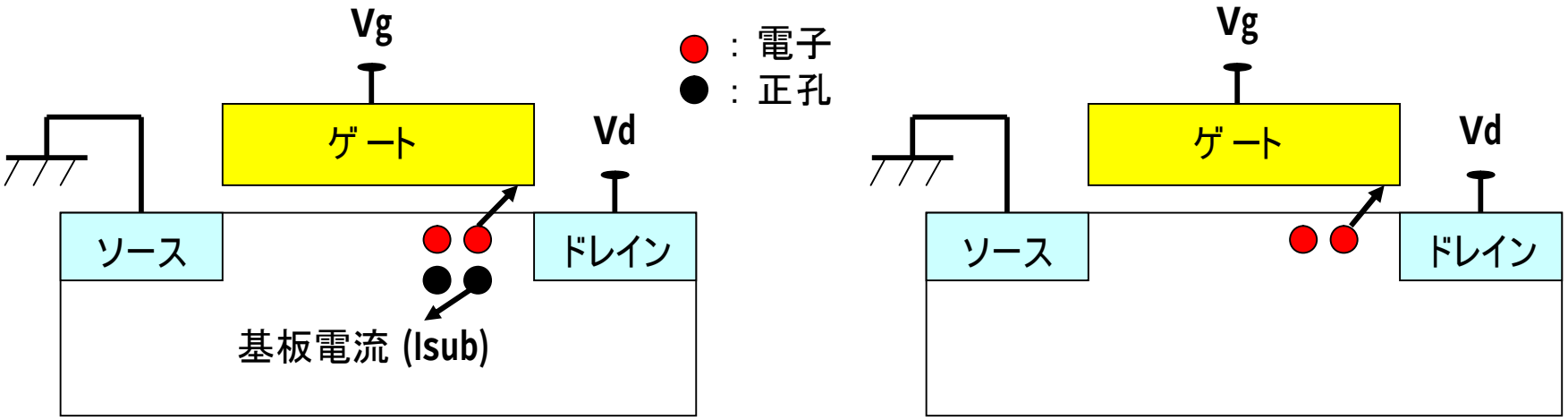
© Copyright 2008 Oki Electric Industry Co., Ltd.

3. Hot Carrier

ドレイン電界によって加速され高いエネルギーを持ったキャリア（Hot Carrier）が、ゲート酸化膜に注入されてトランジスタの特性（Ids, Vth）が変動する現象。
従来はNMOSのドレインアバランシェホットキャリア劣化のみ問題視されてきたが、近年、ゲート酸化膜の薄膜化に伴ってPMOSのチャネルホットキャリア劣化も議論されるようになってきた。

© Copyright 2008 Oki Electric Industry Co., Ltd.

３－１．Hot Carrier劣化の発生メカニズム



Drain Avalanche Hot Carrier (DAHC)　　Chanel Hot Carrier (CHC)

Hot Carrier劣化の発生メカニズムによって最大劣化条件が異なる

DAHC　：　基板電流が最大となる条件（Isubmax）　⇒ Vg = Vd/2付近
CHC　：　ドレイン電界・ゲート電界がともに最大となる条件　⇒ Vg = Vd

比較的厚い酸化膜	薄い酸化膜
NMOS - DAHC	NMOS – DAHC / CHC PMOS - CHC

© Copyright 2008 Oki Electric Industry Co., Ltd.

３－２. Hot Carrierの寿命予測式

1/Vd モデル

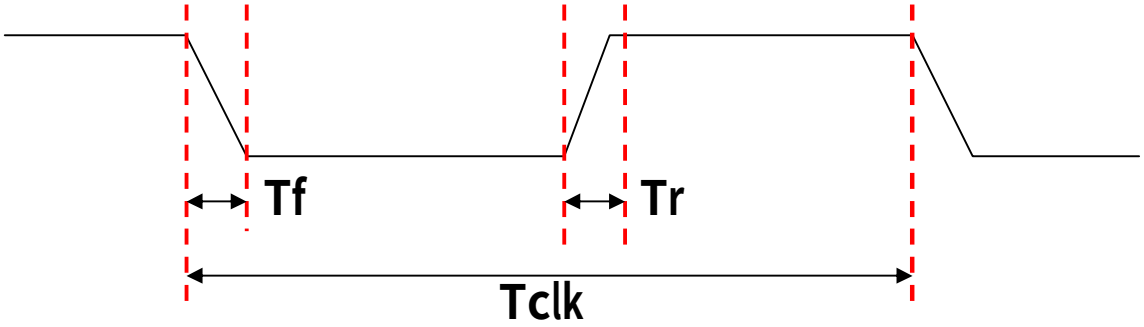
$$TTF = C * \exp(Ea/kT)\exp(\beta/Vd)$$

TTF；Time To Failure　C；定数　Ea；活性化エネルギー[eV]　k；ボルツマン定数
T；温度[K]　β；電圧依存係数　Vd；ドレイン電圧

Hot Carrier寿命の考え方

■ クライテリア
ドレイン電流（Ids）が初期値から10%変動した時点を不良と定義するのが一般的

■ AC寿命
AC寿命 = DC寿命 / Duty比　　例）Duty比 = （Tr＋Tf）/ Tclk

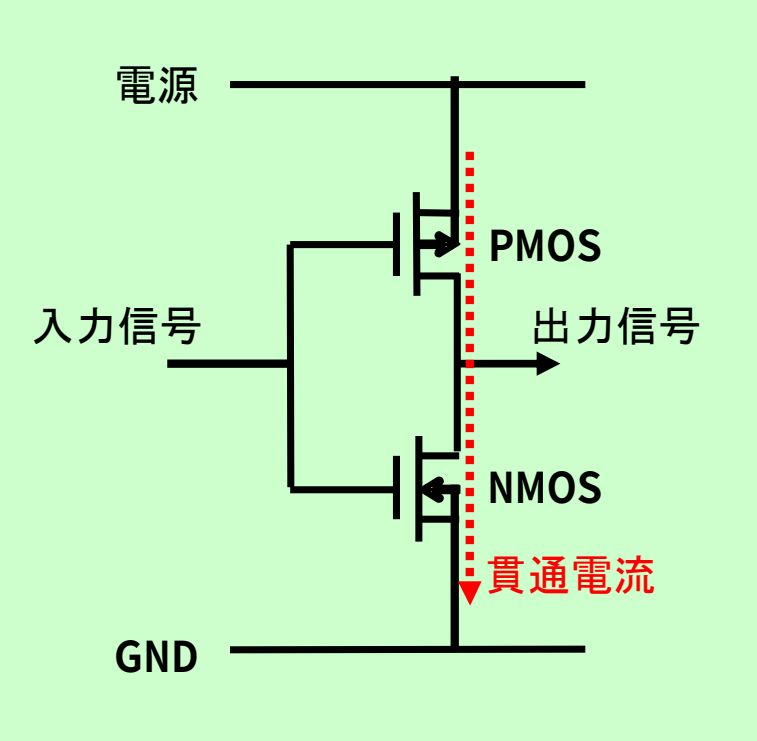


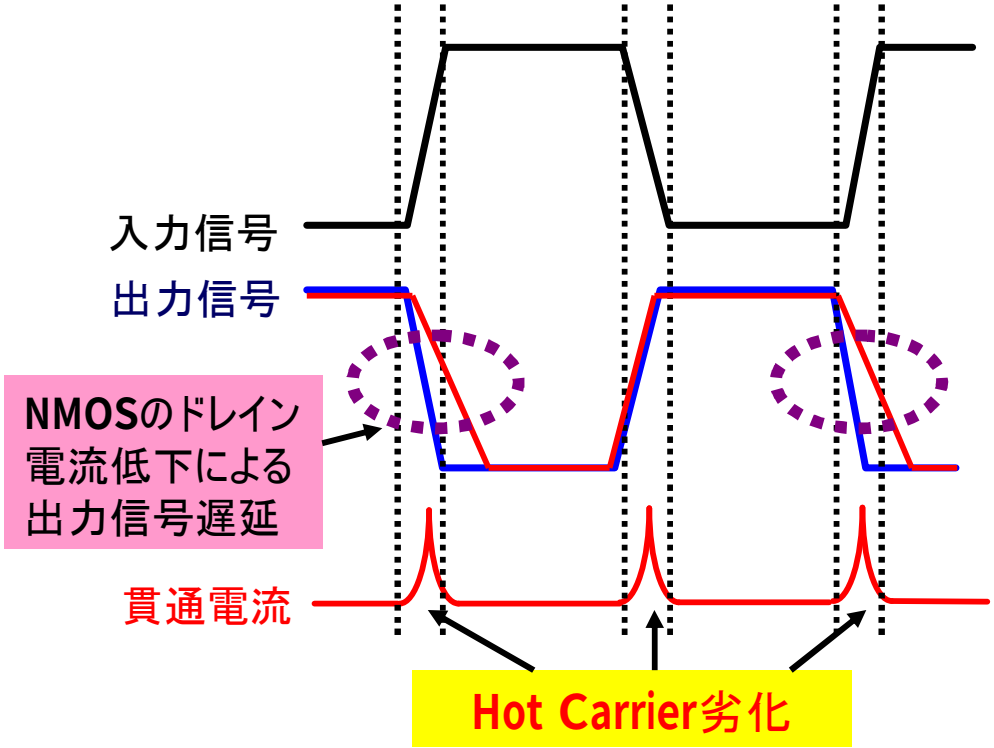
DC寿命をAC寿命に変換する最も簡便な手法だが、実寿命よりも大幅に悪く見積もる

© Copyright 2008 Oki Electric Industry Co., Ltd.

３－３．Hot Carrier劣化の回路動作への影響

例）CMOSインバータ回路のNMOS特性がHot Carrier劣化により変動した場合





Hot Carrier劣化では、トランジスタ特性の変動により出力信号が遅延する等の回路動作上のタイミングマージン劣化として現れる。このため、どの時点で機能不良として顕在化するかは回路特性や動作条件（電圧、周波数等）に依存する。
また、高温環境下で保存すると注入されたキャリアが抜けて特性が改善される。

© Copyright 2008 Oki Electric Industry Co., Ltd.

4. NBTI

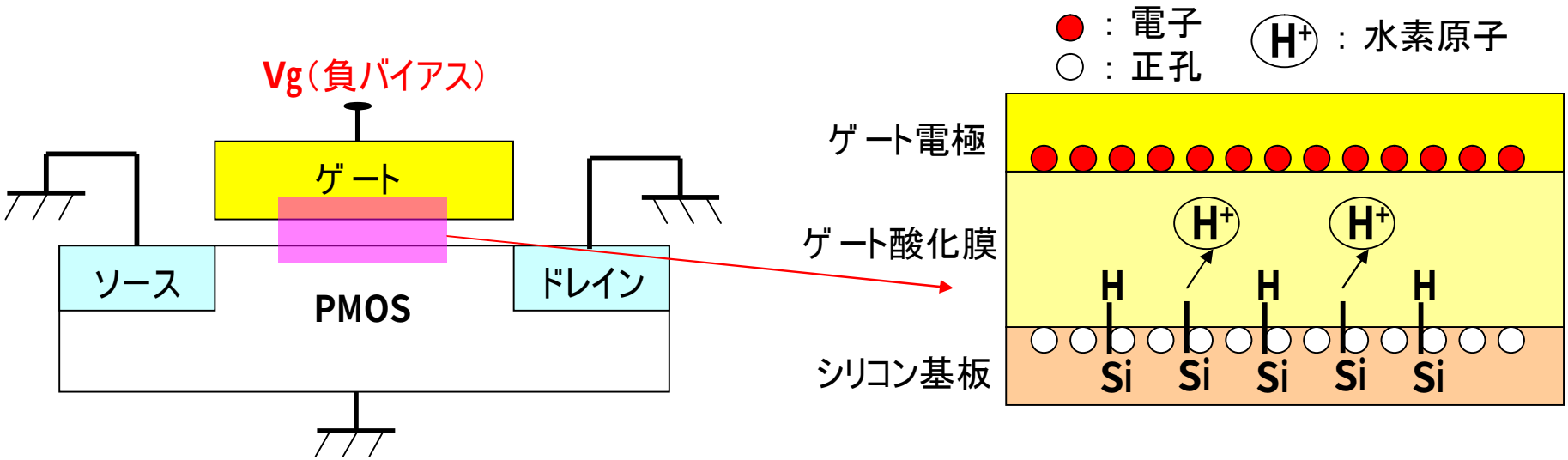
（Negative Bias Temperature Instability；負バイアス温度不安定性）

高温・負電圧によってPMOSトランジスタの特性（Ids, Vth）が変動する現象。
NMOSはPBTI（Positive BTI）とも呼ばれるが、微細化されたMOSトランジスタではPMOS_NBTIの劣化がより顕著に見られることから、近年、NBTIに関する様々な報告がなされている。

© Copyright 2008 Oki Electric Industry Co., Ltd.

4－1. NBTI劣化の発生メカニズム

NBTIの劣化メカニズムについての結論はまだ出ていないが、現時点で最も有力と思われる Reaction Diffusionモデルについて説明する



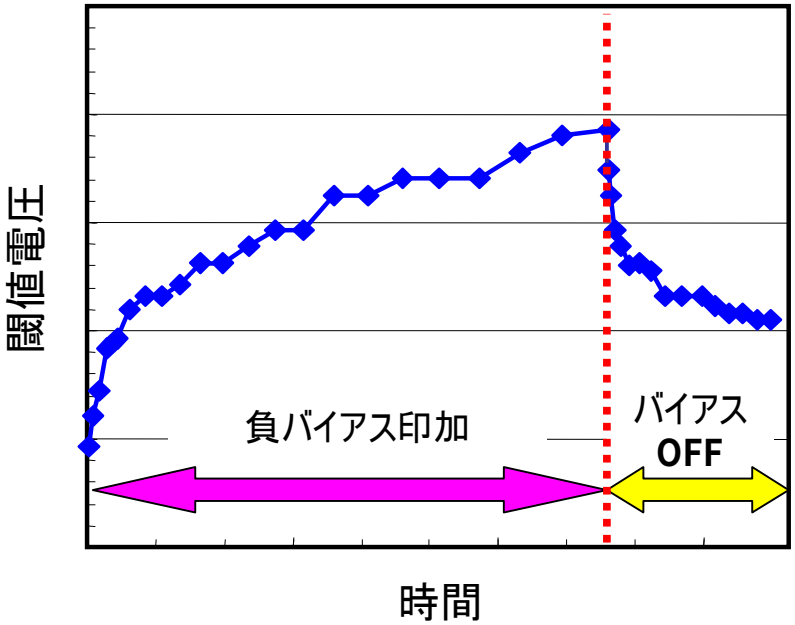
PMOSのゲートに負バイアスが印加されると、シリコン基板表面に反転層が形成され、正孔が集まる

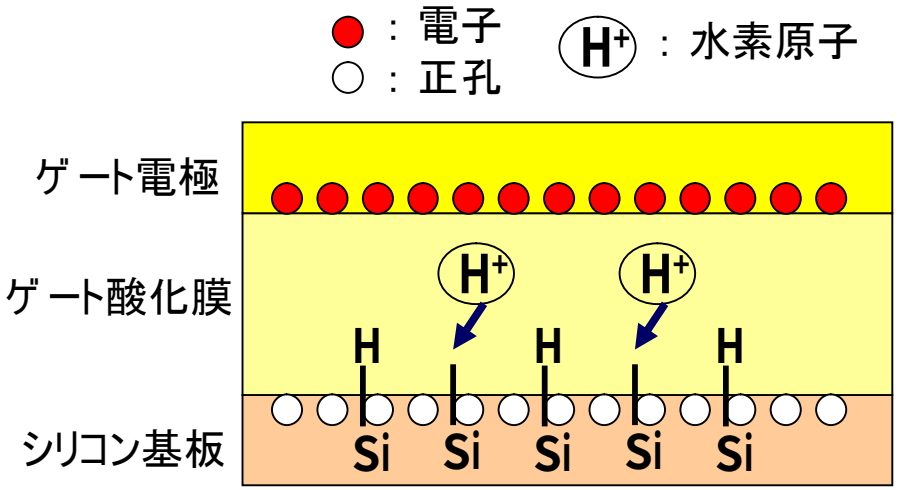
正孔との電気化学反応により、Si-H結合が破壊され水素原子がリリースされる

水素原子がリリースされたところに界面準位が形成され、トランジスタ特性が変動する（ドレイン電流の減少、閾値電圧のシフト）

© Copyright 2008 Oki Electric Industry Co., Ltd.

４－２. NBTI特有の現象（リカバリ効果）





■ NBTIでは、負バイアス印加をOFFした瞬間から変動した閾値電圧やドレイン電流が元に戻っていくリカバリ現象が発生する

■ 負バイアス印加によってリ ナスされた水素原子が再結合することで、リカバリが起こると考えられる

■ 負バイアスと正バイアスを交互に繰り返すAC動作では、正バイアス印加時にリカバリが発生して特性が回復するため、DCバイアスと比較してNBTI寿命が向上する効果がある

© Copyright 2008 Oki Electric Industry Co., Ltd.

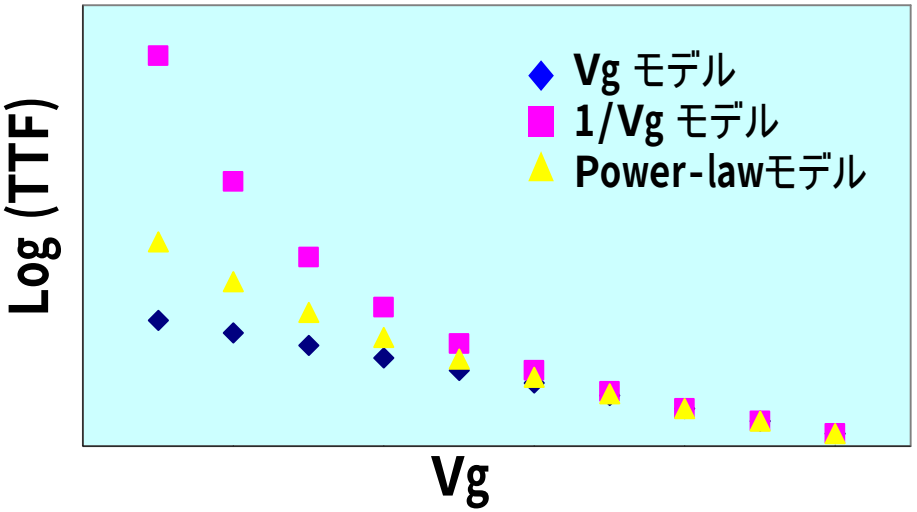
４－３．NBTIの寿命予測式

Vg モデル	$TTF = C_1 * \exp(Ea/kT)\exp(-\beta_1 * Vg)$
1/Vg モデル	$TTF = C_2 * \exp(Ea/kT)\exp(\beta_2 / Vg)$
Power-law モデル	$TTF = C_3 * \exp(Ea/kT) * Vg^{-n}$

TTF；Time To Failure
k；ボルツマン定数
Vg；ゲート電圧

C；定数　、
T；温度[K]

Ea；活性化エネルギー[eV]
β/n；電圧依存係数

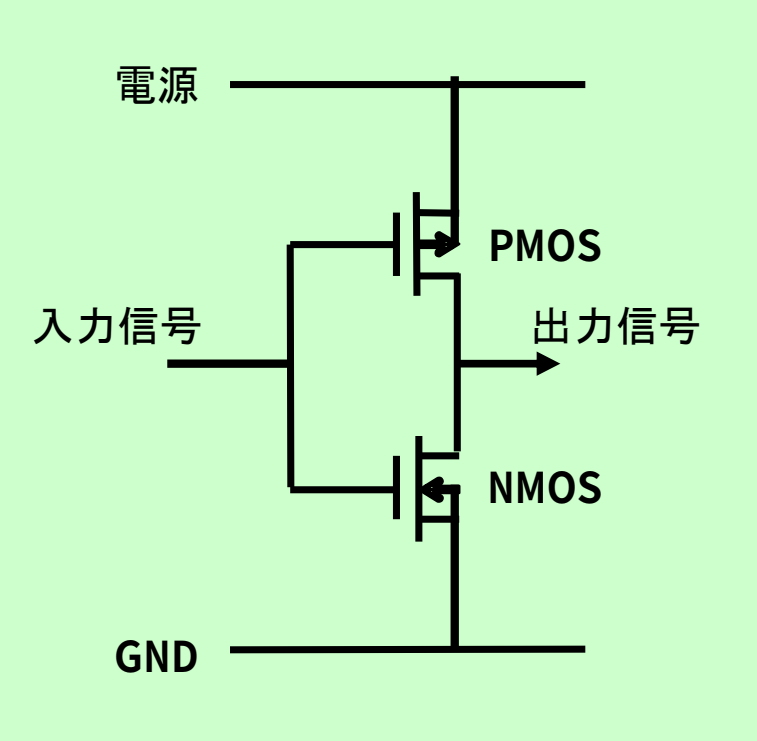


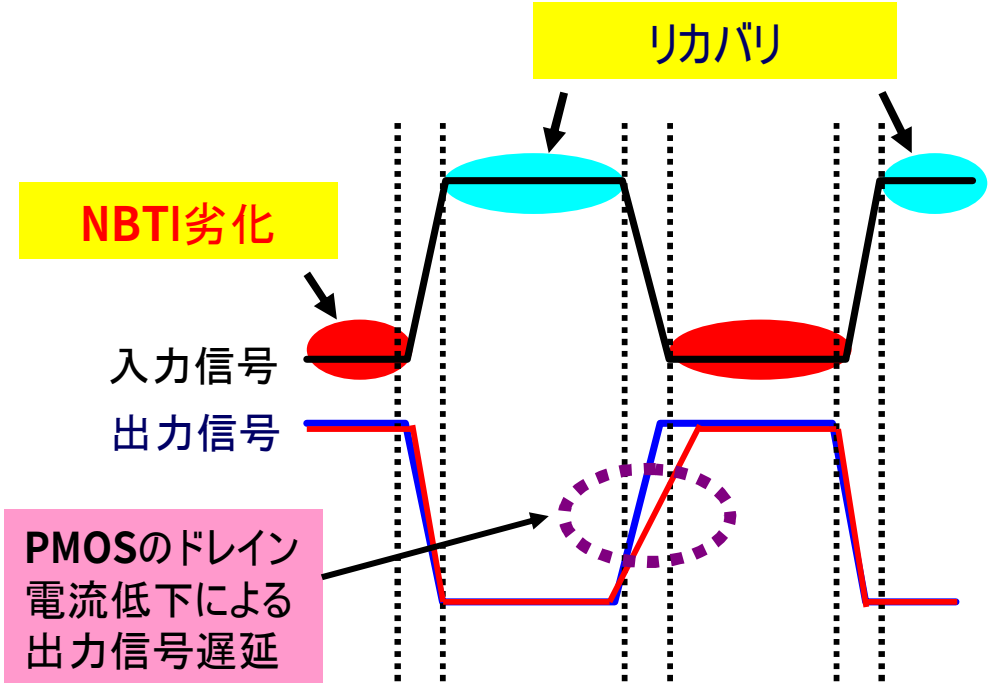
■ TDDB同様、どのモデル式を適用するかによって予測される寿命が異なる

© Copyright 2008 Oki Electric Industry Co., Ltd.

4－4. NBTI劣化の回路動作への影響

例）CMOSインバータ回路のPMOS特性がNBTI劣化により変動した場合





NBTI劣化もHot Carrier劣化と同様、トランジスタ特性の変動により出力信号が遅延する等の回路動作上のタイミングマージン劣化として現れる。このため、どの時点で機能不良として顕在化するかは回路特性や動作条件（電圧、周波数等）に依存する。
また、リカバリ効果があるため、実動作（AC動作）での回路寿命見積もりが難しい。

© Copyright 2008 Oki Electric Industry Co., Ltd.

5. おわりに

微細化に伴うMOSトランジスタの信頼性課題について、その故障現象と寿命予測のためのモデル式、回路動作への影響を列挙した。
LSIの信頼性を確保し市場不具合の発生を防止するためには、半導体メーカーは当然のことながらシステムメーカー側でも故障現象とその影響を理解し、対処することが重要となる。

最後に、より高い信頼性を実現するためにシステム側にて配慮いただきたいディレーティングについて述べたい。

© Copyright 2008 Oki Electric Industry Co., Ltd.

５－１．システム側での信頼性設計（ディレーティング）

半導体LSIの信頼性（寿命・故障率）は、その使われ方に大きく依存します。
より高信頼性を実現するために、システム設計上の配慮をお願いいたします。

電源電圧

ほぼ全ての故障メカニズムにおいて、高電圧側で劣化大

例）VDD=2.3Vで使用した場合と2.7Vで使用した場合の寿命差

・TDDB（Tox=6nm、β=3.0＠Eoxモデル）⇒ TTF(2.3V)/TTF(2.7V) = 7.4倍

・Hot Carrier（β=100＠1/Vdモデル）　⇒ TTF(2.3V)/TTF(2.7V) = 627.2倍

温度

Hot Carrier（DAHC）を除くほぼ全ての故障メカニズムにおいて、高温側で劣化大

例）Tj=40℃で使用した場合と80℃で使用した場合の寿命差

・TDDB（Ea=0.6eV）⇒ TTF(40℃)/TTF(80℃) = 12.4倍

動作周波数

① 消費電流の増大（Electro-Migration寿命の低下）

② 自己発熱の増大（ほぼ全ての故障メカニズムで寿命低下）

③ 動作Duty比の増大（Hot Carrier寿命の低下、DRAMソフトエラー率の増加）

動作周波数が2倍 ⇒ Hot Carrier寿命1/2、DRAMソフトエラー率2倍

© Copyright 2008 Oki Electric Industry Co., Ltd.

５－２. 参考資料

半導体LSIの故障メカニズムと信頼性に ついては以下の資料が公開されており、是非、ご参照いた だきたい。

（１）各半導体メーカーがWebで公開している信頼性ハンドブック

http://www.okisemi.com/jp/semicon/000026.html

（２）JEITA（電子情報技術産業協会）が発行している調査報告書（有料）

JEITA　EDR-4707　LSIの故障メカニズム及び試験方法に関する調査報告

© Copyright 2008 Oki Electric Industry Co., Ltd.